

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Takashi KOBAYASHI et al.

Batch:

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: October 31, 2001

Examiner:

For: SEMICONDUCTOR DEVICE



CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2000-331840 October 31, 2000;

JAPAN 2000-355741 November 22, 2000;

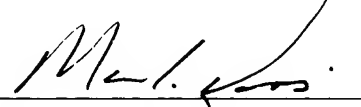
JAPAN 2000-361106 November 28, 2000;

JAPAN 2001-119221 April 18, 2001

In support of this claim, certified copies of said original foreign applications are filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

10-31-01
Date


Marc A. Rossi
Registration No. 31,923

Attorney Docket: FUJI:200

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月31日

出 願 番 号

Application Number:

特願2000-331840

出 願 人

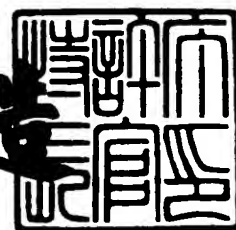
Applicant(s):

富士電機株式会社

2001年 6月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 00P01628

【提出日】 平成12年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式
会社内

【氏名】 小林 孝

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式
会社内

【氏名】 藤平 龍彦

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式
会社内

【氏名】 阿部 和

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 0 - 3 3 1 8 4 0

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 MOS型半導体装置
【特許請求の範囲】

【請求項1】 第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域と、前記第2導電形ウェルの表面に配置され第2導電形ウェルにより前記第1導電形表面ドレイン領域から離間された第1導電形ソース領域と、第1導電形表面ドレイン領域と第1導電形ソース領域とに挟まれた前記第2導電形ウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えたMOS型半導体装置において、前記半導体表面における第1導電形ソース領域を配置した部分の面積を含む第2導電形ウェルの面積に対する前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域の面積の比率を0.2以下0.01以上としたことを特徴とするMOS型半導体装置。

【請求項2】 第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域と、前記第2導電形ウェルの表面に配置され第2導電形ウェルにより前記第1導電形表面ドレイン領域から離間された第1導電形ソース領域と、第1導電形表面ドレイン領域と第1導電形ソース領域とに挟まれた前記第2導電形ウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えたMOS型半導体装置において、前記半導体表面における前記第1導電形表面ドレイン領域が1方向に延びた形状を有することを特徴とするMOS型半導体装置。

【請求項3】 請求項2記載のMOS型半導体装置において、前記半導体表面における前記1方向に延びた形状の第1導電形表面ドレイン領域の主たる部分の幅が 2μ 以下 0.1μ 以上であることを特徴とするMOS型半導体装置。

【請求項4】 請求項2記載のMOS型半導体装置において、前記半導体表面における第1導電形ソース領域を配置した部分の面積を含む第2導電形ウェルの面積に対する前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域

の面積の比率を0.2以下0.01以上としたことを特徴とするMOS型半導体装置。

【請求項5】請求項1記載のMOS型半導体装置において、前記半導体表面における前記第1導電形表面ドレイン領域が1方向に延びた形状を有し、その主たる部分の幅が 2μ 以下 0.1μ 以上であることを特徴とするMOS型半導体装置。

【請求項6】請求項2乃至5のいずれか1項に記載のMOS型半導体装置において、前記半導体表面において前記1方向に延びた形状の第1導電形表面ドレイン領域の前記1方向に沿った長さが 100μ 以上であることを特徴とするMOS型半導体装置。

【請求項7】請求項6記載のMOS型半導体装置において、前記半導体表面において前記1方向に延びた形状の第1導電形表面ドレイン領域の前記1方向に沿った長さが 500μ 以上であることを特徴とするMOS型半導体装置。

【請求項8】請求項2乃至5のいずれか1項に記載のMOS型半導体装置において、前記半導体表面における前記1方向に延びた形状の第1導電形表面ドレイン領域が前記1方向とは異なる方向へ複数の凸部を有することを特徴とするMOS型半導体装置。

【請求項9】請求項8記載のMOS型半導体装置において、前記1方向に沿った前記凸部の配置頻度が 50μ 当り1個以下であることを特徴とするMOS型半導体装置。

【請求項10】請求項8記載のMOS型半導体装置において、前記1方向に沿った前記凸部の配置頻度が 250μ 当り1個以下であることを特徴とするMOS型半導体装置。

【請求項11】請求項8乃至10のいずれか1項に記載のMOS型半導体装置において、前記凸部の前記1方向とは異なる方向への凸部の寸法が 2μ 以下であることを特徴とするMOS型半導体装置。

【請求項12】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域と、前記第2導電形ウェルの表面に配置され第2導電形ウェルにより前記第1導電形表面ドレイン領域から離間された第1導電形

ソース領域と、第1導電形表面ドレイン領域と第1導電形ソース領域とに挟まれた前記第2導電形ウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えたMOS型半導体装置において、前記ゲート電極が1方向に伸びた形状の複数の部分を有することを特徴とするMOS型半導体装置。

【請求項13】請求項12記載のMOS型半導体装置において、前記ゲート電極の前記1方向に伸びた形状の複数の部分がそれぞれ前記第2導電形ウェルに囲まれて配置されていることを特徴とするMOS型半導体装置。

【請求項14】請求項12または13記載のMOS型半導体装置において、前記ゲート電極の前記1方向に伸びた形状の複数の部分がそれぞれ1以上の前記第1導電形表面ドレイン領域を覆って配置されていることを特徴とするMOS型半導体装置。

【請求項15】請求項12乃至12のいずれか1項に記載のMOS型半導体装置において、前記ゲート電極の前記1方向に伸びた形状の複数の部分の主たる部分の幅が 8μ 以下 4μ 以上であることを特徴とするMOS型半導体装置。

【請求項16】請求項15記載のMOS型半導体装置において、前記ゲート電極の前記1方向に伸びた形状の複数の部分の主たる部分の幅が 7μ 以下 5μ 以上であることを特徴とするMOS型半導体装置。

【請求項17】請求項12乃至16のいずれか1項に記載のMOS型半導体装置において、前記ゲート電極の前記1方向に伸びた形状の複数の部分の長さが 100μ 以上であることを特徴とするMOS型半導体装置。

【請求項18】請求項17記載のMOS型半導体装置において、前記ゲート電極の前記1方向に伸びた形状の複数の部分の長さが 500μ 以上であることを特徴とするMOS型半導体装置。

【請求項19】請求項12乃至16のいずれか1項に記載のMOS型半導体装置において、前記ゲート電極が前記1方向に伸びた形状の複数の部分の間を前記1方向とは異なる方向へ接続する複数のブリッジ部分を有することを特徴とするMOS型半導体装置。

【請求項20】請求項19記載のMOS型半導体装置において、前記ゲート電極のブリッジ部分の幅が 4μ 以下であることを特徴とするMOS型半導体装置。

【請求項 2 1】請求項 1 9 または 2 0 記載の MOS 型半導体装置において、前記ゲート電極のブリッジ部分の主たる部分の下には前記第 2 導電形ウェルが配置されていることを特徴とする MOS 型半導体装置。

【請求項 2 2】請求項 1 9 乃至 2 1 のいずれか 1 項に記載の MOS 型半導体装置において、前記 1 方向に沿った前記ゲート電極のブリッジ部分の配置頻度が 50 μ 当り 1 個以下であることを特徴とする MOS 型半導体装置。

【請求項 2 3】請求項 1 9 乃至 2 1 のいずれか 1 項に記載の MOS 型半導体装置において、前記 1 方向に沿った前記ゲート電極のブリッジ部分の配置頻度が 250 μ 当り 1 個以下であることを特徴とする MOS 型半導体装置。

【請求項 2 4】請求項 1 乃至 2 3 のいずれか 1 項に記載の MOS 型半導体装置において、前記電圧支持層が第 1 導電形半導体領域からなることを特徴とする MOS 型半導体装置。

【請求項 2 5】請求項 1 乃至 2 3 のいずれか 1 項に記載の MOS 型半導体装置において、前記電圧支持層が第 1 導電形半導体領域と第 2 導電形半導体領域を交互に配置した領域を含むことを特徴とする MOS 型半導体装置。

【請求項 2 6】請求項 1 乃至 2 5 のいずれか 1 項に記載の MOS 型半導体装置において、第 1 導電形表面ドレイン領域が電圧支持層より高濃度であることを特徴とする MOS 型半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は MOS FET, IGBT 等の半導体装置に適用可能な低損失化と高速スイッチング化を両立させる為の構造に関する。

【0 0 0 2】

【従来の技術】

一般にパワー半導体装置は基板の両面に電極部を持つ縦型半導体が多用されている。例えば図 2 0 は従来のプレーナ型の n チャネル縦型 MOS FET の断面図である。以下、説明において、n +, n - は所定濃度に対して略高濃度、低濃度であることを示す。この縦型 MOS FET はドレイン金属電極 2 0 が導電接合し

た低抵抗の $n+$ 基板 11 の上に配置された電圧支持層となる n -ドレイン層 12 と、 n -ドレイン層 12 の上に選択的に配置された p ウェル層 13 と、 p ウェル層 13 内部の表面に選択的に形成された $n+$ ソース層 15 と、 $n+$ ソース層 15 と n -ドレイン層 12 の表面層 14 とに挟まれた p ウェル層 13 の表面上にゲート絶縁膜 17 を介して設けられたゲート電極層 18 と、 $n+$ ソース層 15 と p ウェル層 13 との表面に共通に接触して設けられたソース電極 19 を有する。また、上記デバイス内のソース電極 19 と接触する p ウェル層 13 の表面にソース電極 19 との接触抵抗を低減させるあるいはラッチアップ耐量向上の為に p ウェル層 13 よりも高濃度で浅い $p+$ 層 21 が設けられる場合もある。

【 0 0 0 3 】

【発明が解決しようとする課題】

このような縦型デバイスにおいて、MOSFET がオン状態の時のオン抵抗は素子内部の電流経路の抵抗の総和として表すことが可能であるが、特に高耐圧素子では高抵抗の n -ドレイン層 12 の部分の抵抗が支配的になる。MOSFET の損失を下げる為にはこの n -ドレイン層 12 の抵抗を下げるのが有効であるが、オフ状態の時にはこの n -ドレイン層 12 が空乏化して電圧支持層となる為、 n -ドレイン層 12 の厚さを薄くしたり不純物濃度を上げて抵抗値を下げようとすると耐圧低下が起きてしまう。逆に耐圧の高い半導体装置では n -ドレイン層 12 が厚くなるため必然的にオン抵抗が高くなり、損失が大きくなる。すなわちオン抵抗と耐圧の間にはトレードオフ関係がある。このトレードオフ関係は IGBT、バイポーラトランジスタ、ダイオード等の半導体素子に於いても同様に成立することが知られている。

更に、従来デバイスで一般的に p ウェルの平面形状は上記ゲート電極層 18 を窓にして不純物を導入するためゲート電極の形状と類似形状になる。例えば従来デバイスの平面形状をゲート電極 18 のパターンとして図 21、図 22 に示す。図 21 は p ウェルを形成するゲート電極 18 の窓あけ形状が四角形（特公平 7-83123 号等）で、ゲート電極 18 の窓あけ内部にはソース電極と p ウェル層 13 及び $n+$ ソース層 15 と接続するコンタクトホール 24 が形成されている。図 22 は図 21 と同様にゲート電極 18 の窓あけ形状は六角形（USP 45933

02等)である。この様なpウェル形状の場合、各pウェル層がn-ドレイン層に囲まれた形状となっていて、n-ドレイン層に対してpウェル層が凸型を形成していることからpn接合部分の電界強度が形状効果により高くなり、上記n-ドレイン層の不純物濃度で決まる耐圧よりも低い耐圧となってしまう。このことから、耐圧を確保するためにはn-不純物濃度を高くする必要がありオン抵抗の増加に繋がっていた。このpウェル層の形状効果による耐圧低下を抑制する方法として図23に示すようなゲート電極が一方に延びたストライプ形状(USP 5723890等)が使用されていた。このゲート電極への制御信号は上記四角形や六角形で窓あけされたゲート電極の場合、ゲート電極の形状がネットワーク的に作用して、デバイス内部のゲート抵抗が低減できていたが、ストライプ形状の場合ゲート信号はゲート電極の両端からのみのストライプに沿った一方向経路しか無いためデバイス内部のゲート抵抗は増加してしまい、後述するスイッチング損失の増大を招いていた。

【0004】

一方、MOSFETの損失低減にはオン状態の抵抗低減と共にスイッチング時の損失低減も必要である。一般的にスイッチング時の損失低減にはスイッチング時間の短縮、特に素子がオン状態からオフ状態に変わる時の時間を短縮することがスイッチング損失低減に非常に有効である。

縦型MOSFETのスイッチング時間を短縮するためには図20に示すn-ドレイン層の表面に選択的に形成されたpウェル層に挟まれたn-ドレイン層の幅を小さくしてn-ドレイン層表面とゲート絶縁膜を介して対向しているゲート電極間で構成される C_{rss} を低減させることが必要である。しかし、pウェル層に挟まれたn-ドレイン層の幅を小さくするとMOSFETのオン抵抗成分の中のJFET抵抗成分が高くなり、オン抵抗が高くなってしまう。従来このJFET抵抗が高くなる問題に対して、USP 4593302で知られている所謂カウンタドープ技術を用いて、オン抵抗の増加を抑制してきたが、n-ドレイン層の幅が比較的広いと耐圧低下に繋がってしまう。これを解決するにはカウンタドープの量を少なくする必要があり、結果的にJFET抵抗の増加抑制効果が小さくなってしまっていた。

また、高速スイッチングの為には上記 C_{rss} の低減以外にゲート駆動電荷量 Q_g の低減も有効である。 Q_g は MOS 型デバイスの入力容量 C_{iss} に対するゲート・ソース間電圧 V_{gs} が 0 V から駆動電圧 V_1 V までの充電電荷量として計算され次式で表せる。

【0005】

【数1】

$$Q_g = \int_0^{V_1} C_{iss} \cdot V_{gs} \, dC/dV \quad \cdots 1 \text{式}$$

上式から C_{iss} を低減することで Q_g 低下に繋がる。MOS 型デバイスでの C_{iss} は端子間容量で下式で表される。

$$C_{iss} = C_{gs} + C_{gd} \quad \cdots 2 \text{式}$$

ここで、 C_{gs} はゲート・ソース間容量、 C_{gd} はゲート・ドレイン間容量（= C_{rss} ）である。 C_{rss} の低減には上記のような JFET 抵抗の増加に伴う解決策の他に、従来図 24 に示すような n-ドレイン層 12 と対向するゲート絶縁膜 17 の一部が厚くなっているゲート絶縁膜 25 を設けて、 C_{rss} の低下を狙う方法（特許第 2808871 号等）が取られていた。この場合は、上記ゲート絶縁膜 17 と厚いゲート絶縁膜 25 の絶縁膜に段差が生じるため、段差部分の電界強度が高くなり耐圧低下を起こす問題があった。22 は層間絶縁層である。

【0006】

更に C_{gs} を低減するためにはゲート電極 18 の面積を小さくする必要があるが、例えば図 23 に示すゲート電極がストライプ形状の場合、ゲート電極幅を細くすると前述のデバイス内部のゲート抵抗が増加してしまいスイッチング損失が増加してしまう問題があった。

以上のような状況に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和させて、高耐圧でありながらオン抵抗の低減をはかり、更にスイッチング損失の低減も同時に実現可能な半導体素子についての構造を提供することにある。

【0007】

【課題を解決するための手段】

まず第1の手段を示す。

上記課題解決のため、第1導電形低抵抗領域の上に配置され少なくとも第1導電形半導体領域を含む電圧支持層とその電圧支持層上に配置された第2導電形ウェルと半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域を形成することで、従来のデバイスのように第2導電形ウェル領域が第1導電形ドレイン領域に囲まれて配置された構造と異なり、第2導電形ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を低抵抗化しても高い耐圧が確保できるようになる。

更に前記半導体表面におけるMOS構造を備えた第2導電形ウェルの面積（第2導電形ウェル表面に第1導電形ソース領域を配置した部分の面積を含む第2導電形ウェルの面積）に対する前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域の面積比率を小さくすることで電圧支持層表面の第1導電形ドレイン領域とゲート絶縁膜を介して対向するゲート電極との間で構成する C_{rss} を低減することが可能となる。しかし、前記半導体表面の第1導電形ドレイン領域の面積比率を小さくすると、先に説明したようにオン抵抗が高くなる。この関係を図11に示す。図11より C_{rss} は表面ドレイン領域面積比率に比例して大きくなる。一方、 R_{on} は表面ドレイン領域面積比率が0.15乃至0.2で最小となり、0.2より大きくなると増加し、0.15よりも小さくなると急激に増加するが、0.01以上とすることで実デバイスで許容出来る最小値の2倍以下に抑えられる。

【0008】

次に第2の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域と、前記第2導電形ウェルの表面に配置され第2導電形ウェルにより前記第1導電形表面ドレイン領域から離間された第1導電形ソース領域と、第1導電形表面ドレイン領域と第1導電形ソース領域とに挟まれた前記第2導電形ウ

ェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えたMOS型半導体装置において、前記半導体表面における前記第1導電形表面ドレイン領域が1方向に延びた形状を有することで、従来のデバイスのように第2導電形ウェル領域が第1導電形ドレイン領域に囲まれて配置された構造と異なり、第2導電形ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を低抵抗化しても高い耐圧が確保できるようになる。

【 0 0 0 9 】

次に第3の手段を述べる。

第2の手段の中で、第1導電形表面ドレイン領域が1方向に延びた形状の第1導電形表面ドレイン領域の主たる部分の幅が広がると表面での電界強度が高くなり耐圧低下する。一方、上記表面ドレイン領域の主たる部分の幅が狭くなるとJFET抵抗が増加してオン抵抗が高くなることから最適の寸法範囲を限定することで耐圧が低下せず、オン抵抗が高くないデバイスが可能となる。

【 0 0 1 0 】

次に第4の手段を述べる。

第2の手段の中で、前記半導体表面におけるMOS構造を備えた第2導電形ウェルの面積（第2導電形ウェル表面に第1導電形ソース領域を配置した部分の面積を含む第2導電形ウェルの面積）に対する前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域の面積比率を小さくすることで電圧支持層表面の第1導電形ドレイン領域とゲート絶縁膜を介して対向するゲート電極との間で構成する C_{rss} を低減することが可能となる。第1の手段で述べた通り、第1導電形ドレイン領域の面積比率の範囲を限定することで、耐圧の低下が起きずに、オン抵抗の増加が許容範囲内で、 C_{rss} も小さく抑えることが出来るデバイスが可能となる。

【 0 0 1 1 】

次に第5の手段を述べる。

第1の手段と第2の手段と第3の手段を1つのデバイス内で満足する構造とすることで、より性能の向上するデバイスが可能となる。

次に第6の手段を述べる。

第2の手段から第5の手段までを適用したデバイスについて、前記半導体表面において前記1方向に延びた形状の第1導電形表面ドレイン領域の前記1方向に沿った長さが長くなると同一面積でのチャンネル幅が広がることからオン抵抗が低くなるが、デバイス内部のゲート抵抗が高くなり、このことでスイッチング時間が遅くなり、スイッチング損失が増加する。一方上記表面ドレイン領域の前記1方向に沿った長さを短くして表面ドレイン領域の1方向と交わる方向にゲート電極を設けることでデバイス内部のゲート抵抗は小さくなりスイッチング時間が短くなることでスイッチング損失が低減するものの、同一面積でのチャンネル幅が狭くなることからオン抵抗が高くなる。つまり上記表面ドレイン領域の前記1方向に沿った長さの範囲限定することで、オン抵抗が低く、スイッチング損失の小さいデバイスが実現出来る。

【 0 0 1 2 】

次に第7の手段を述べる

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域と、前記第2導電形ウェルの表面に配置され第2導電形ウェルにより前記第1導電形表面ドレイン領域から離間された第1導電形ソース領域と、第1導電形表面ドレイン領域と第1導電形ソース領域とに挟まれた前記第2導電形ウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えたMOS型半導体装置において、前記ゲート電極が1方向に延びた形状の複数の部分を有することで、ゲート電極をマスクとして第2導電形ウェルを形成すると必然的に表面ドレイン領域が1方向に延びた構造となる。

【 0 0 1 3 】

次に第8の手段を述べる

手段7のデバイスでスイッチング時間を短くするためにはゲートチャージ量が小さいことが必要で、ゲートチャージ量を小さくするためにゲート電極の面積を出来るだけ小さくするにはMOS構造以外の部分のゲート電極を無くす構造とすることが有効で、その構造はゲート電極が第2導電形のウェルで囲まれて配置さ

れることで実現できる。

以上において、更に第 1 導電形表面ドレイン領域を電圧支持層よりも高濃度とする所謂カウンタドープが有効である。

【 0 0 1 4 】

【発明の実施の形態】

以下に本発明の実施形態を添付図面に基づいて、説明する。

実施例 1

図 1 は本発明の請求項 1 乃至 2 4 を適用した n チャネル縦型 MOS デバイスの断面図である。

$n+$ の低抵抗領域 1 1 の上に配置された $n-$ の電圧支持層 1 2 と電圧支持層 1 2 の上に配置された p ウェル 1 3 と、半導体表面において前記 p ウェル 1 3 に囲まれて配置された n 表面ドレイン領域 1 4 と、前記 p ウェル 1 3 の表面に配置され p ウェル 1 3 により前記 n 表面ドレイン領域 1 4 から離間された $n+$ ソース領域 1 5 と、 n 表面ドレイン領域 1 4 と $n+$ ソース領域 1 5 とに挟まれた前記 p ウェルの表面 1 6 にゲート絶縁膜 1 7 を介して設けられたゲート電極 1 8 とを備え、ゲート電極 1 8 は層間絶縁膜 2 2 によって表面のソース金属電極 1 9 と絶縁されており、ソース金属電極 1 9 は表面 $n+$ ソース領域 1 5 と p ウェル 1 3 の表面に配置されたコンタクト改善用の $p+$ 領域 2 1 の両方と接合し、 $n+$ 低抵抗領域の下はドレイン金属電極 2 0 と接合した縦型 MOS FET である。

このデバイスの動作機構を簡単に説明する。阻止状態では一般に接地されているソース電極と同電位の表面 p ウェル 1 3 から電圧支持層 1 2 側に向かって空乏層が広がることで空乏層の幅と電界強度で決まる耐圧が確保される。空乏層の広がりには電圧支持層 1 2 の厚さと抵抗できまり、高耐圧を得る為には電圧支持層の抵抗を高く、厚さを厚くすれば良い。

オン状態ではゲート電極 1 8 にソース電極 1 9 に対してプラス電位を印加することでゲート電極 1 7 を介して p ウェル表面 1 6 に反転層が形成されチャネルとして動作し、キャリアとして電子がソース層 1 5 からチャネル層を流れて n 表面ドレイン層 1 4、電圧支持層 1 2、 $n+$ 低抵抗層 1 1 をへてドレイン電極 2 0 に流れることでオン状態となる。

次に図 2 は請求項 1 乃至 7 及び 1 2 乃至 1 8、2 4 を適用した実施例の半導体表面 p, n 形状図である。図 2 には耐圧構造部は省略してある。耐圧構造部は半導体表面には属するものの、前記説明した M O S 構造とは異なる構造を有していることから、請求項に記述されている「前記半導体表面」には該当しないからである。

図 2 の p ウェル領域 1 3 は表面 n ドレイン領域 1 4 を囲んで配置され表面 n ドレイン領域 1 4 は 1 方向に延びた形状を有していて、その形状が複数配置されている。なお、説明の便宜上表面 n ドレイン領域 1 4 は概略構造を示すのに必要な本数だけ記載し、他は省略して点線で示しているが、同様の構造が多数繰り返し形成されている。X-X 線間の断面が図 1 に対応する部分である。1 方向に延びた表面 n ドレイン領域 1 4 の終端部の先に p ウェル領域 1 3 で囲まれている電圧支持層 1 2 が配置されている。この表面に配置された電圧支持層 1 2 はゲート電極 1 8 とゲート金属電極との接合部分のゲート電極 1 8 の寸法が工程加工能力上必要な寸法とした場合、p ウェルで囲いきれなかった領域を示す。当然この電圧支持層 1 2 は工程加工能力が高ければ p ウェルで囲われてしまい表面形状からはなくなることは当然である。

次に図 3 は請求項 1 乃至 7 及び 1 2 乃至 1 8、2 4 を適用した実施例の半導体表面のゲート電極 1 8 と表面ソース電極と接合する部分を示す形状の一部の図である。1 方向に延びた形状のゲート電極 1 8 が複数配置されている。1 方向に延びたゲート電極の終端部は一度細くなりその後ゲート金属電極との接合する部分で広くなり終端となっている。このゲート電極が終端の前に細くなっているのは活性領域以外のゲート電極面積を最小限にする為と、工程上ゲート電極をマスクとして p ウェル領域を形成する場合 p ウェルの拡散により前記の細くなったゲート電極の下を覆う形状にすることで C r s s の低減が可能となる為である。2 4 は n + ソース、p ウェル、ソース電極接合部分であり、2 6 はゲート電極、ゲート金属電極接合部分である。

次に図 4 は請求項 1 乃至 2 6 を適用した実施例の半導体表面金属電極形状の図である。ソース電極 1 9 の内部に外部ソース電極と接合するソースパット 2 8 が設けられている。ソース電極を取り囲み、ソース電極の内部に向かってゲート電極

27が配置され、ソース電極内部に向かったゲート電極の一部に外部ゲート電極と接合するゲートパット29が設けられている。実施例1ではゲート電極は1方向に延びた形状となっていてゲート金属電極との接合はソース電極を囲んでいるゲート金属電極とソース内部に向かって延びているゲート金属電極の部分で接合することになる。図4のなかの最外周のドレイン電極30は一般的に耐圧構造部の最外周に設けられている空乏層のストッパ電極である。

上記図1、図2、図3、図4の形状のデバイスに対して、ゲート電極18の幅を5.6 μm 、セルピッチを15 μm 、pウェルの幅を13.4 μm とした場合、前記半導体表面におけるpウェルの面積に対する表面nドレイン領域の面積比率はおよそ0.12となる。このような形状のデバイスではpウェル領域に挟まれた表面nドレイン領域の幅は1.6 μm となる。上記デバイスを製造する一般的な工程ではゲート電極をマスクにpウェルを形成する不純物を導入する。このためゲート電極の幅を広げるとオン抵抗の変動はあまり無いものの C_{rss} は増加する。逆に、ゲート電極の幅を狭めるとオン抵抗は上昇するが C_{rss} は低下する。

1方向に延びたゲート電極の1方向に沿った長さが実施例1ではチップの活性部のサイズにほぼ等しく4mm程度である。この長さはチップの活性部サイズとほぼ等しい長さでも良いが、内部ゲート抵抗を増加させない為に500 μm 乃至100 μm 以上の間隔でゲート電極と接続する部分を設けても当然構わない。

実施例2

図5は請求項1乃至7及び12乃至18、24を適用した実施例の半導体表面のゲート電極18と表面ソース電極と接合する部分を示す形状の一部の図である。実施例1の図3で説明した構造の異なった実施例である。特徴は活性部の中のゲート電極とゲート金属電極との接合部分のゲート形状が図3ではゲート電極が分離していた形状が、図5ではゲート電極が1方向に向かって分離されずにゲート金属電極と接合出来る構造であり、ゲート金属電極との接合部分はMOS構造にはなっていないことから実施例2の構造は活性部面積の効率を上げ、内部ゲート抵抗の低減とオン抵抗の増加抑制に効果てきである。このゲート金属電極との接合部分は実施例2では1方向に延びたゲート電極の間に1箇所設けられている

だけであるが、当然同様の構造を 1 方向に延びたゲート電極に対して複数箇所設けることも可能である。

実施例 3

図 6 は請求項 2 乃至 5 及び 8、9、11、12 乃至 22、24 を適用した実施例の半導体表面の p、n 形状の図である。丸く囲った部分は一部を拡大したものである。図 6 は図 2 と同様に耐圧構造部は記入されていない。図 6 は図 2 で説明した構造を基本として、p ウェル 13 で囲まれた表面 n ドレイン領域 14 が 1 方向にのびている形状をしている。図 2 との違いは前記 1 方向に延びた表面 n ドレイン領域 14 が前記 1 方向に対しておおむね垂直な方向に複数の凸部 31 を有して、この凸部 31 の配置頻度が $250\text{ }\mu\text{m}$ 当たり 1 個に設定されていて、この凸部 31 の前記 1 方向から垂直方向への寸法が $0.5\text{ }\mu\text{m}$ である。

図 7 は図 6 の半導体表面の p、n 形状を作成するマスクとなるゲート電極の形状の一部と表面金属電極と半導体表面の p ウェル領域及びゲート電極領域を接合する部分の模式図である。図 7 の形状が図 3 の形状と異なる点は、1 方向に延びたゲート電極 18 が前記 1 方向に対して垂直にゲート電極 18 のブリッジ 32 が設けられていることで、このゲート電極のブリッジ 32 の頻度が $250\text{ }\mu\text{m}$ 当たり 1 個に設定されている。また、このゲート電極ブリッジ 32 の幅は $2.5\text{ }\mu\text{m}$ に設定してある。このゲート電極形状をマスクとして不純物導入により p ウェル領域を形成すると、p ウェルの表面横方向への拡散が $2\text{ }\mu\text{m}$ で設計していることからゲート電極のブリッジ部分の主たる部分の下は前記ブリッジの両側から拡散する p ウェルが形成出来る。更に、前記ゲート電極のブリッジが 1 方向に延びたゲート電極と垂直に接続している部分の下はゲート電極がおおむね垂直に形成されている部分から p ウェルの拡散を行うため、半導体表面の p ウェル領域と n ドレイン領域との接合形状はおおむね円弧となり、前記ゲート電極のブリッジ幅が $2.5\text{ }\mu\text{m}$ に設定されていることから表面 n ドレイン領域は 1 方向とおおむね垂直な方向に凸部を有する。24 は n+ソース・p ウェル・ソース金属電極接合部であり、26 はゲート電極ゲート金属電極接合部である。

実施例 4

図 8 は請求項 2 乃至 5 及び 8、9、11、12 乃至 22、24 を適用した実施例

の半導体表面のゲート電極 1 8 と表面ソース電極と接合する部分を示す形状の一部の図である。実施例 3 の図 7 で説明した構造と異なった実施例である。特徴は活性部の中のゲート電極 1 8 とゲート金属電極との接合部分 2 6 のゲート形状が図 7 ではゲート電極が分離していた形状が、図 8 ではゲート電極が 1 方向に向かって分離されずにゲート金属電極と接合出来る構造であり、ゲート金属電極との接合部分は M O S 構造にはなっていないことから実施例 4 の構造は活性部面積の効率を上げ、内部ゲート抵抗の低減とオン抵抗の増加抑制に効果的である。このゲート金属電極との接合部分は実施例 4 では 1 方向に延びたゲート電極の間に 1箇所設けられているだけであるが、当然同様の構造を 1 方向に延びたゲート電極に対して複数箇所設けることも可能である。

実施例 5

図 2 5 は請求項 1 乃至 7 及び 1 2 乃至 1 8、2 4 を適用した実施例の半導体表面 p, n 形状図である。図 2 5 では実施例 1 と同様に耐圧構造部は省略してある。図 2 5 の p ウェル領域 1 3 は表面 n ドレイン領域 1 4 を囲んで配置され表面 n ドレイン領域 1 4 は 1 方向に延びた形状を有していて、その形状が複数配置されている。点線は n ドレイン領域 1 4 が多数あることを示している。

次に図 2 6 は請求項 1 乃至 7 及び 1 2 乃至 1 8、2 4 を適用した実施例の半導体表面のゲート電極 1 8 と表面ソース電極と接合する部分を示す形状の一部の図である。1 方向に延びた形状のゲート電極 1 8 が複数配置されている。実施例 1 と異なる点は 1 方向に延びたゲート電極の 1 方向とは異なる方向の幅がゲート電極全般で同じ幅となっているところである。実施例 5 では前記ゲート電極の 1 方向に延びた終端部分の角を落として鋭角にならないような形状としたが当然直角のまま終端していても本特許内容の作用・効果に影響は無い。

次に図 2 7 は請求項 1 乃至 7 及び 1 2 乃至 1 8、2 4 を適用した図 3 2 とは異なる実施例の半導体表面のゲート電極 1 8 と表面ソース電極と接合する部分を示す形状の一部の図である。図 2 7 と図 2 6 の効果の違いは実施例 1 の図 3 の形状と実施例 2 の図 5 の関係と同様なのでここでは省略する。

【 0 0 1 5 】

第 1 導電形低抵抗領域と、第 1 導電形低抵抗領域上に配置され少なくとも第 1 導

電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域と、前記第2導電形ウェルの表面に配置され第2導電形ウェルにより前記第1導電形表面ドレイン領域から離間された第1導電形ソース領域と、第1導電形表面ドレイン領域と第1導電形ソース領域とに挟まれた前記第2導電形ウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えたMOS型半導体装置において、前記半導体表面における第2導電形ウェルの面積（第2導電形ウェル表面に第1導電形ソース領域を配置した部分の面積を含む第2導電形ウェルの面積）に対する前記第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域の面積の比率を0.2以下0.01以上としたデバイスの作用と効果を以下に述べる。

前記第1導電形半導体表面のドレイン領域が第2導電形のウェルに囲まれて配置されることで第2導電形ウェル領域の形状効果による電界強度の増加を抑制することが可能となり、電圧指示層を低抵抗化しても高い耐圧が確保出来るようになり、低オン抵抗化が実現出来る。

次に前記第2導電形ウェルの面積にたいする第2導電形ウェルに囲まれて配置された第1導電形表面ドレイン領域の面積比率を小さくすることで電圧支持層表面の第1導電形ドレイン領域とゲート絶縁膜を介して対抗するゲート電極との間で構成する C_{rss} を低減することが可能となる。しかし、前記半導体表面の第1導電形ドレイン領域の面積比率を小さくすると、先に説明したようにオン抵抗が高くなる。この関係を図11に示す。図11より C_{rss} は表面ドレイン領域面積比率に比例して大きくなる。一方、 R_{on} は表面ドレイン領域面積比率が0.15乃至0.2で最小となり、0.2より大きくなると増加し、0.15よりも小さくなると急激に増加するが、0.01とすることで実デバイスで許容出来る最小値の2倍以下に抑えられ、低オン抵抗と低 C_{rss} を兼ね備えたデバイスが実現できる。

次に前記半導体の1方向に延びた形状の第1導電形表面ドレイン領域の主たる部分の幅が $2\mu m$ 以下 $0.1\mu m$ 以上とした時の効果について、試作したデバイスの結果を図12に示す。スイッチング損失を小さくする為に C_{rss} を小さくするには図12に示すようにドレイン領域の幅を短くすることが有効である、一方

、オン抵抗はドレイン領域の寸法は $5\mu\text{m}$ から短くなると徐々に小さくなるが、 1.5 乃至 $2\mu\text{m}$ が最低でそれよりも短くなると急激に上昇し、ドレイン領域が短い範囲ではオン抵抗と C_{rss} はトレードオフの関係にある。実使用上低オン抵抗で低 C_{rss} を両立するには C_{rss} が 10pF 以下でオン抵抗が 1.5Ω 以下が望ましいことからドレイン領域の幅は $2\mu\text{m}$ 以下、 $0.01\mu\text{m}$ 以下の範囲に限定される。

次に表面nドレイン領域の1方向に沿った長さについて、スイッチング時間を支配する C_{oss} との関係を図13と図14に示す。図13に示すようにドレイン領域の1方向に沿った長さが $500\mu\text{m}$ 以上になると C_{oss} は殆ど変わらない値となるが、 $500\mu\text{m}$ 以下では徐々に増加を示す。図14は図13の中のドレイン領域の長さが $400\mu\text{m}$ 以下の部分を拡大した特性である。図14から C_{oss} は $100\mu\text{m}$ 以下になると急激に増加する。このことから、スイッチング時間を短くするためには表面nドレイン領域の1方向に沿った長さが $500\mu\text{m}$ 以上と $100\mu\text{m}$ 以上に限定される。

次に表面nドレイン領域の1方向に沿った長さについて、オン抵抗との関係を図15と図16に示す。図15に示すようにドレイン領域の1方向に沿った長さが $500\mu\text{m}$ 以上になるとオン抵抗は殆ど変わらない値となるが、 $500\mu\text{m}$ 以下では徐々に増加を示す。図16は図15の中のドレイン領域の長さが $400\mu\text{m}$ 以下の部分を拡大した特性である。図16からオン抵抗は $100\mu\text{m}$ 以下になると急激に増加する。このことから、オン抵抗を低くするためには表面nドレイン領域の1方向に沿った長さが $500\mu\text{m}$ 以上と $100\mu\text{m}$ 以上に限定される。

本発明の効果として図17に耐圧と R_{onA} の関係を本発明を適用したデバイスと従来品の特性結果と従来品の特性を比較した図を示す。 150V 以上の領域で従来品よりも大幅にオン抵抗が改善されていて、本発明の効果が非常に大きいことが分かる。この効果は 150V 以下でも当然期待出来る。

更に、耐圧と $[\text{オン抵抗} \cdot C_{rss}]$ 積を本発明適用品と従来品の比較をまとめた。デバイスの損失はオン抵抗とスイッチング損失で決まり、スイッチング損失は C_{rss} が小さいデバイスが小さいことから $[\text{オン抵抗} \cdot C_{rss}]$ 積は小さいデバイスが損失が小さいことになる。 170V 耐圧で従来品が $8.8\Omega\text{PF}$ で

あるのに対し本発明品が1.8ΩPFであり、660V耐圧で従来品が17.5ΩPFであるのに対し本発明品が2.95ΩPFであり、990V耐圧で従来品が80ΩPFであるのに対し本発明品が15.0ΩPFであり、この特性も本発明品は従来品より大幅に小さくなっていて効果が非常に大きいことが分かる。

図9、10は更に異なる実施例であり、図9は図1に対応しており、図10は図9の一部を斜視図で示したものである。図9、10において図1と異なる点は、n-ドレイン層12の表面にn-ドレイン層12よりも高濃度な表面ドレイン層31を設けた点である。

図18、19は、図2のY-Y線部分における図3、図27の各実施例における断面図である。

【0016】

【発明の効果】

以上に詳述したように、本発明によればMOS型半導体装置の表面形状を最適化することで、低オン抵抗で高速スイッチングが可能なデバイスを供給できる効果を奏する。

【図面の簡単な説明】

【図1】 本特許を適用したnチャネル縦型MOSFET断面構造図

【図2】 本特許を適用したnチャネル縦型MOSFETの半導体表面p,n形状図

【図3】 本特許を適用したnチャネル縦型MOSFETのゲート電極平面形状図

【図4】 本特許を適用したnチャネル縦型MOSFETの表面電極形状図

【図5】 本特許を適用したnチャネル縦型MOSFETのゲート電極平面形状図

【図6】 本特許を適用したnチャネル縦型MOSFETの半導体表面p,n形状図

【図7】 本特許を適用したnチャネル縦型MOSFETのゲート電極平面形状図

【図8】 本特許を適用したnチャネル縦型MOSFETのゲート電極平面形

状図

【図 9】 本特許を適用した n チャンネル縦型 MOS FET 断面構造図

【図 1 0】 図 9 の一部部分斜視図

【図 1 1】 表面 n ドレイン領域面積比率と C_{rss} の関係特性図

【図 1 2】 表面 n ドレイン領域の主たる部分の幅と C_{rss} の関係特性図

【図 1 3】 表面 n ドレイン領域の 1 方向に沿った長さ C_{oss} の関係特性

図

【図 1 4】 表面 n ドレイン領域の 1 方向に沿った長さ C_{oss} の関係特性

図

【図 1 5】 表面 n ドレイン領域の 1 方向に沿った長さ R_{on} の関係特性図

【図 1 6】 表面 n ドレイン領域の 1 方向に沿った長さ R_{on} の関係特性図

【図 1 7】 本発明適用品と従来品の耐圧と R_{onA} の関係特性図

【図 1 8】 図 3 の部分断面図

【図 1 9】 図 2 7 の部分断面図

【図 2 0】 従来の n チャンネル縦型 MOS FET 断面構造図

【図 2 1】 従来の n チャンネル縦型 MOS FET のゲート電極平面形状図

【図 2 2】 従来の n チャンネル縦型 MOS FET のゲート電極平面形状図

【図 2 3】 従来の n チャンネル縦型 MOS FET のゲート電極平面形状図

【図 2 4】 従来の n チャンネル縦型 MOS FET 断面構造図

【図 2 5】 本特許を適用した n チャンネル縦型 MOS FET の半導体表面 p, n

形状図

【図 2 6】 本特許を適用した n チャンネル縦型 MOS FET のゲート電極平面

形状図

【図 2 7】 本特許を適用した n チャンネル縦型 MOS FET のゲート電極平面

形状図

【符号の説明】

1 1 n + 基板

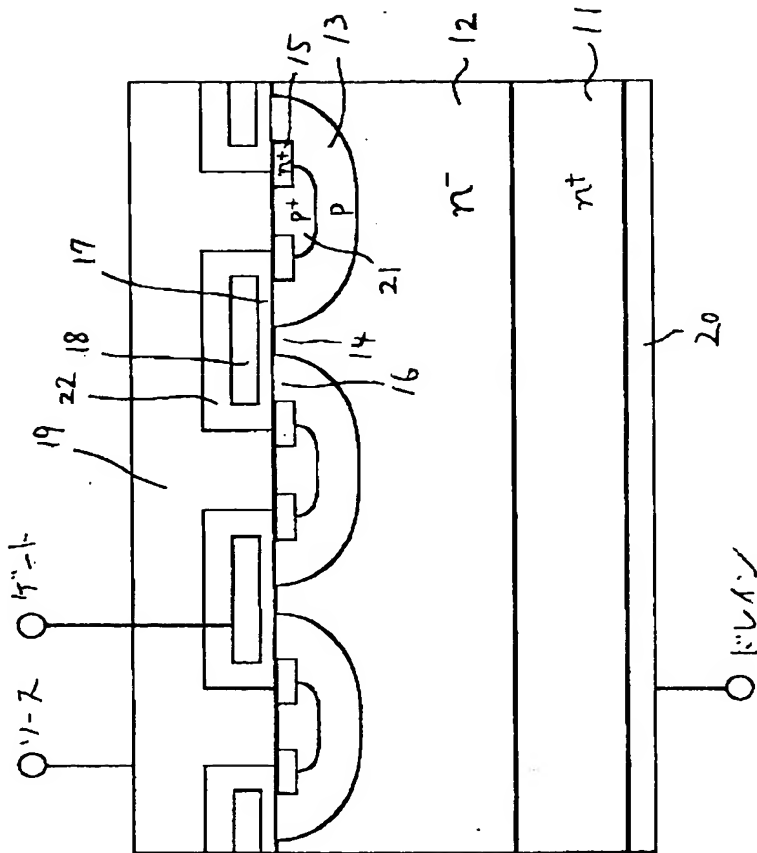
1 n - ドレイン層

2 p ウェル

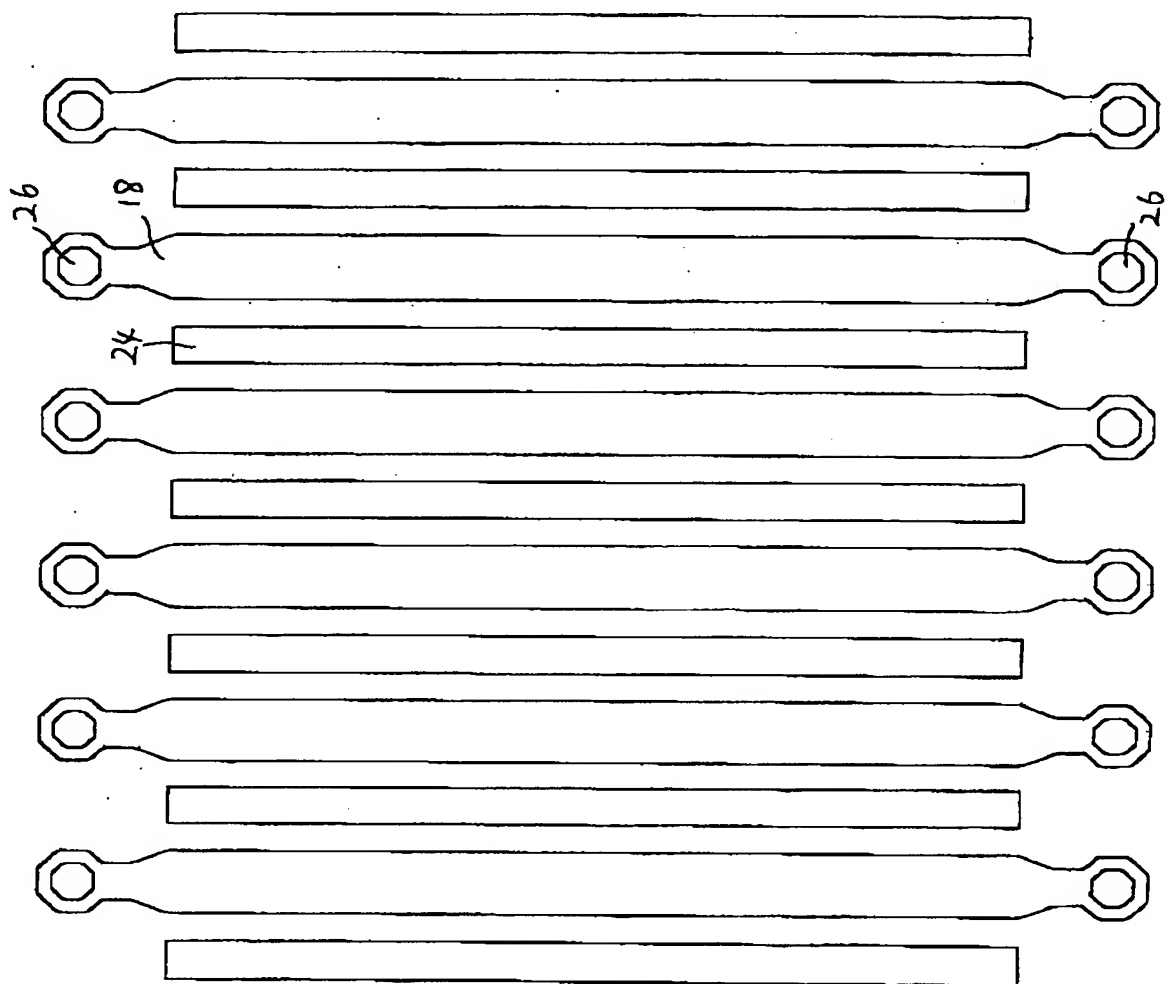
- 3 表面ドレイン層
- 4 n + ソース層
- 5 チャネル層
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 ソース金属電極
- 9 ドレイン金属電極
- 1 0 p + 層
- 1 1 層間絶縁層

【書類名】 図面

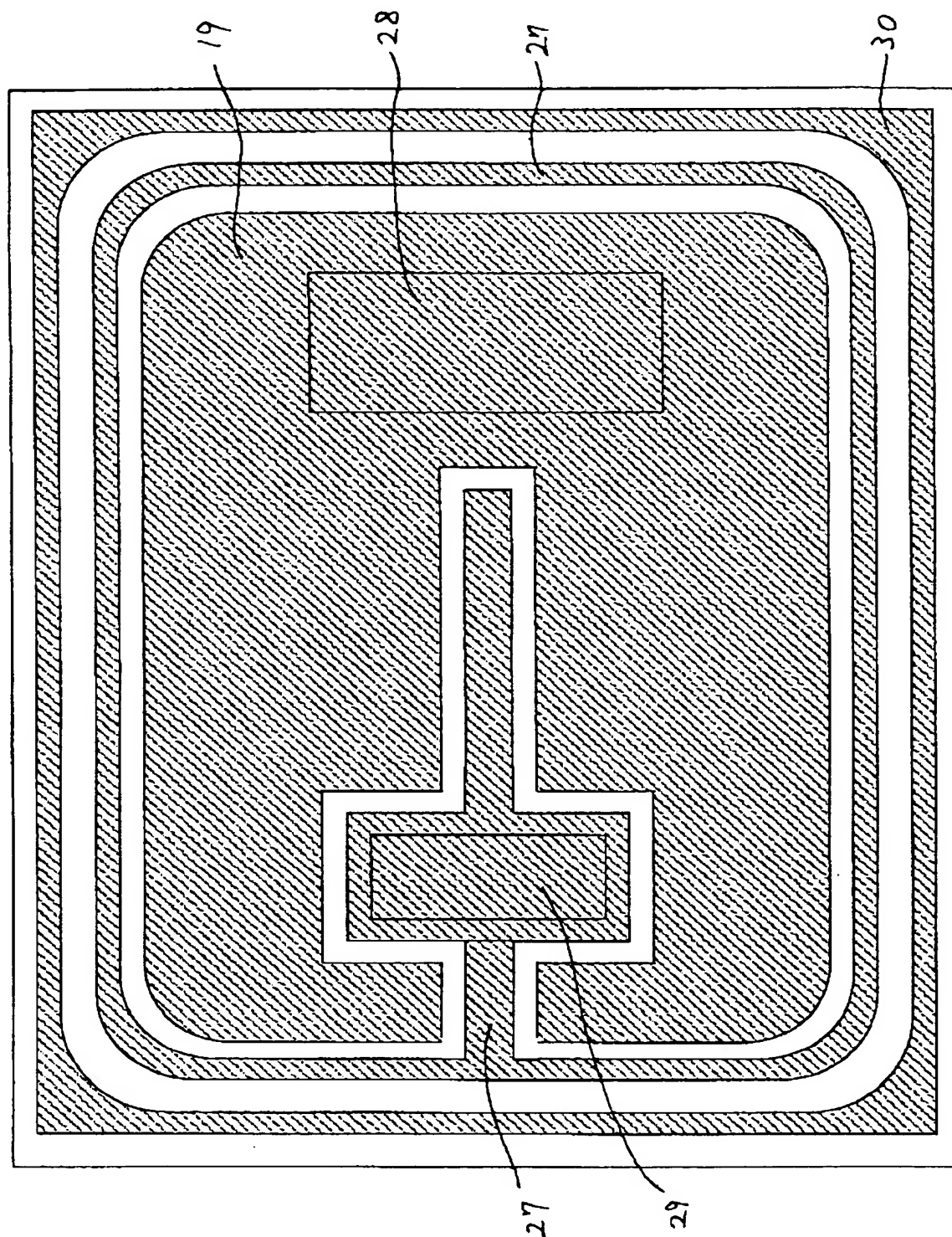
【図 1】



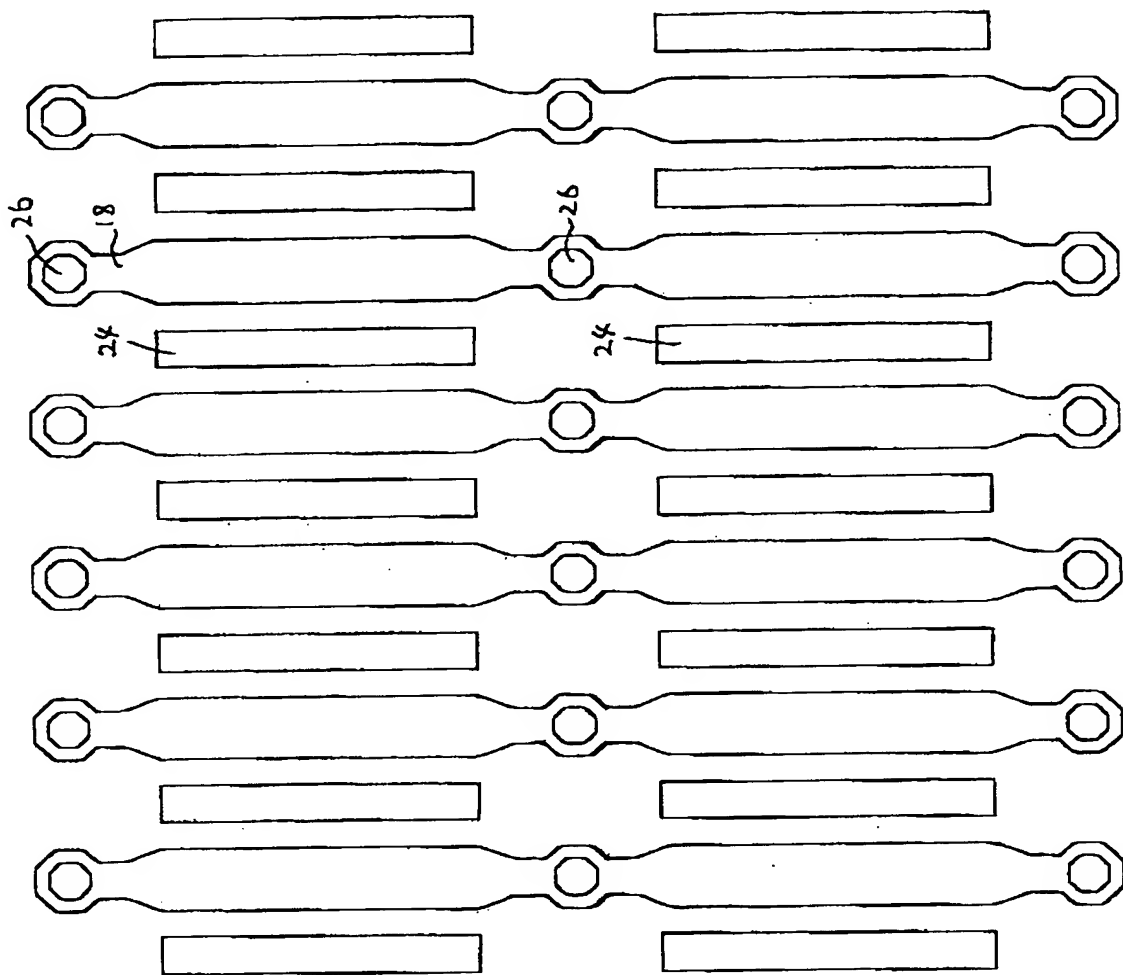
【図 3】



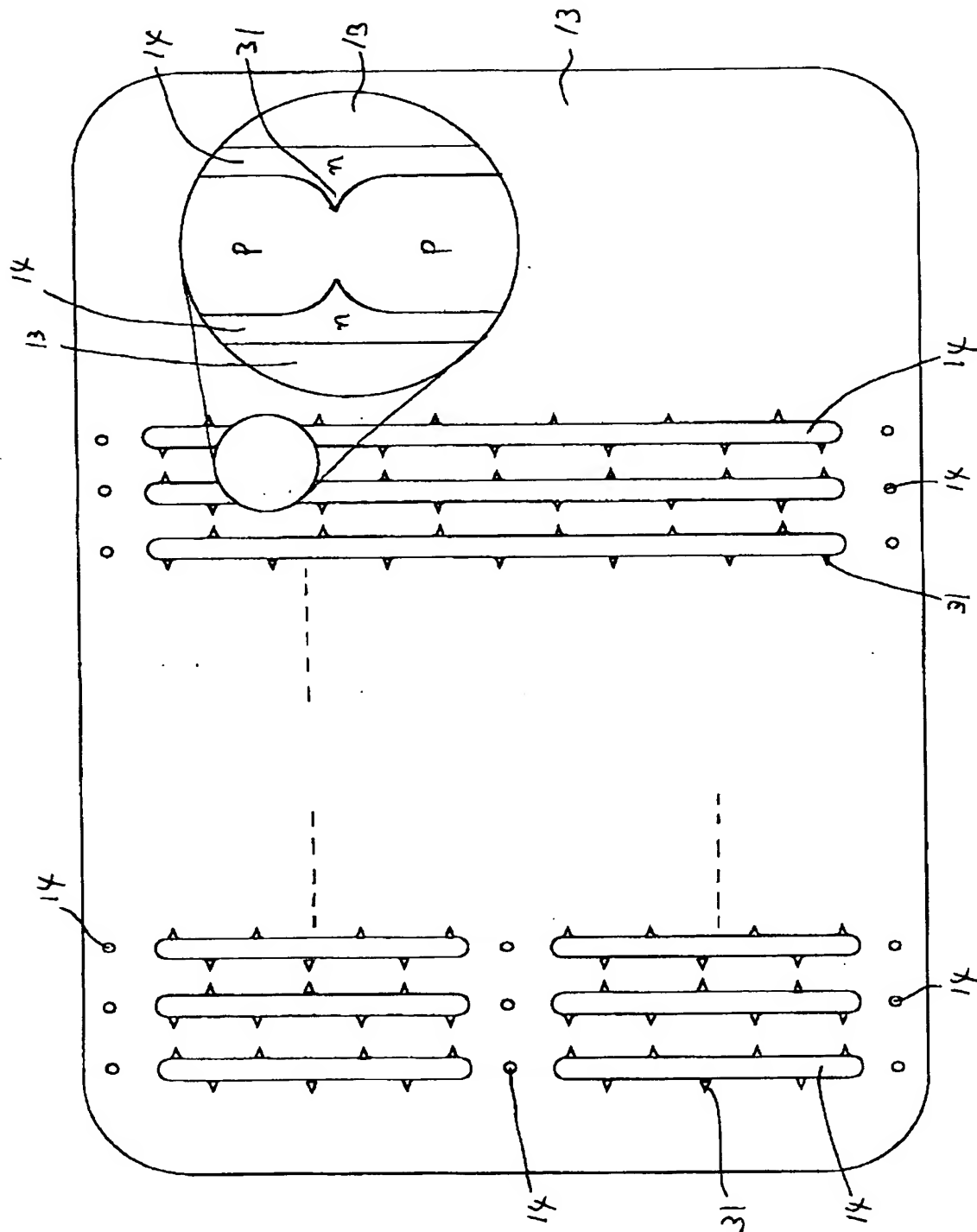
【図4】



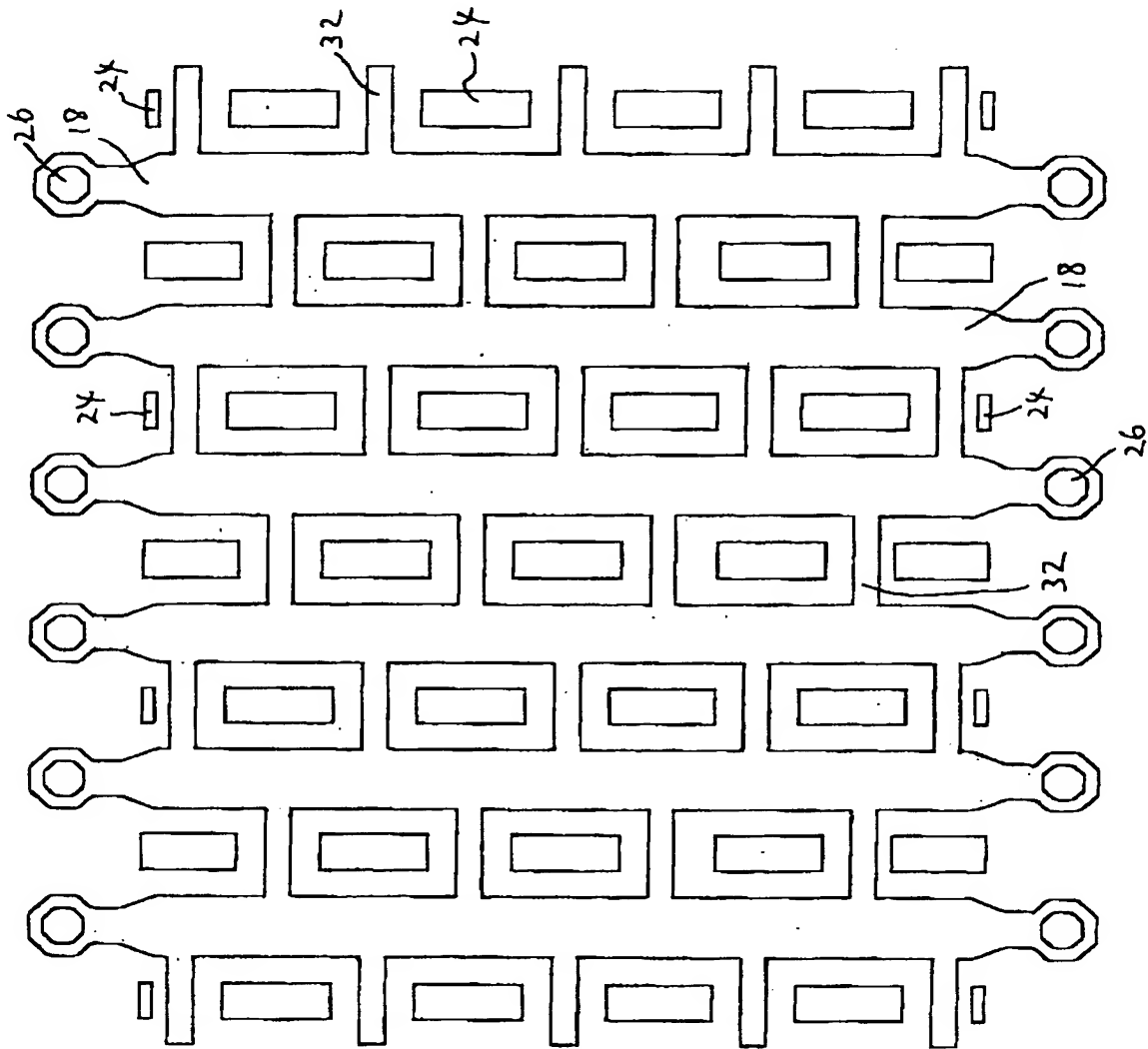
【図5】



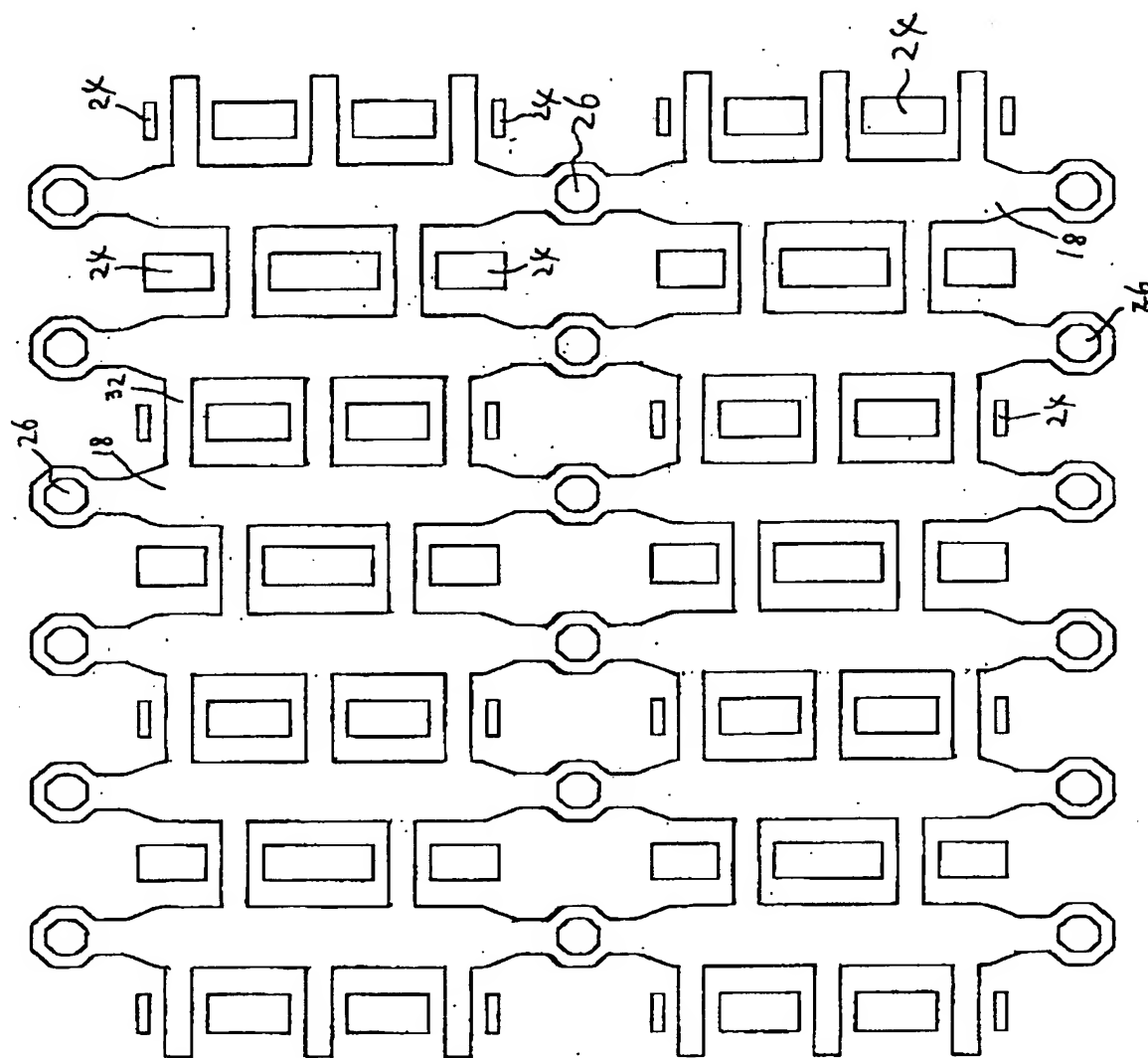
【図6】



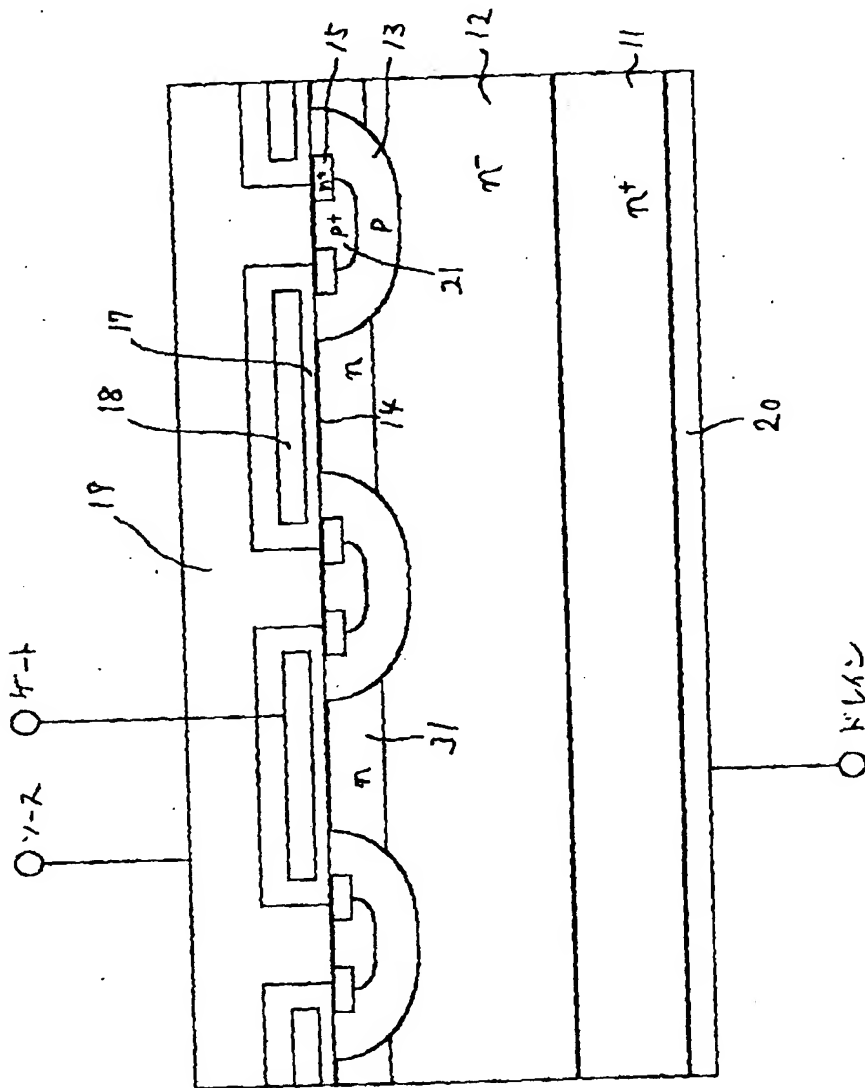
【図 7】



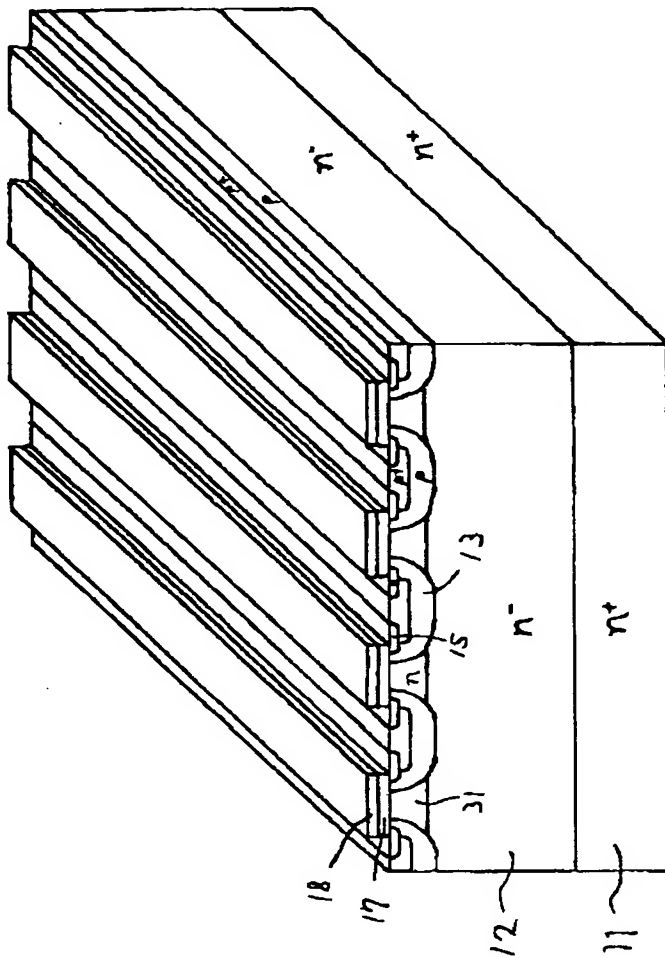
【図 8】



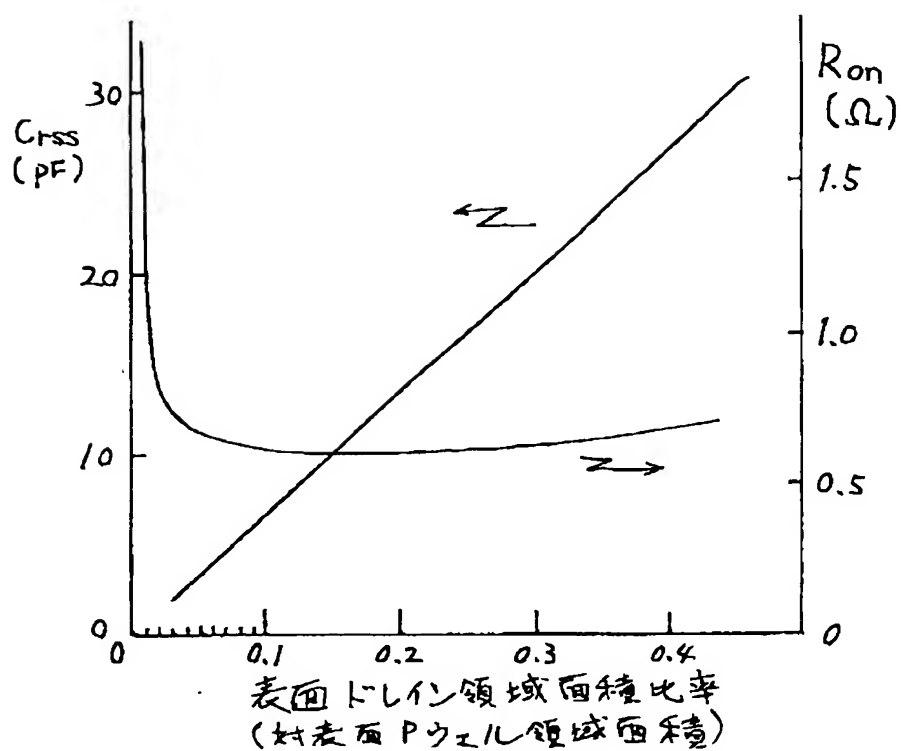
【图 9】



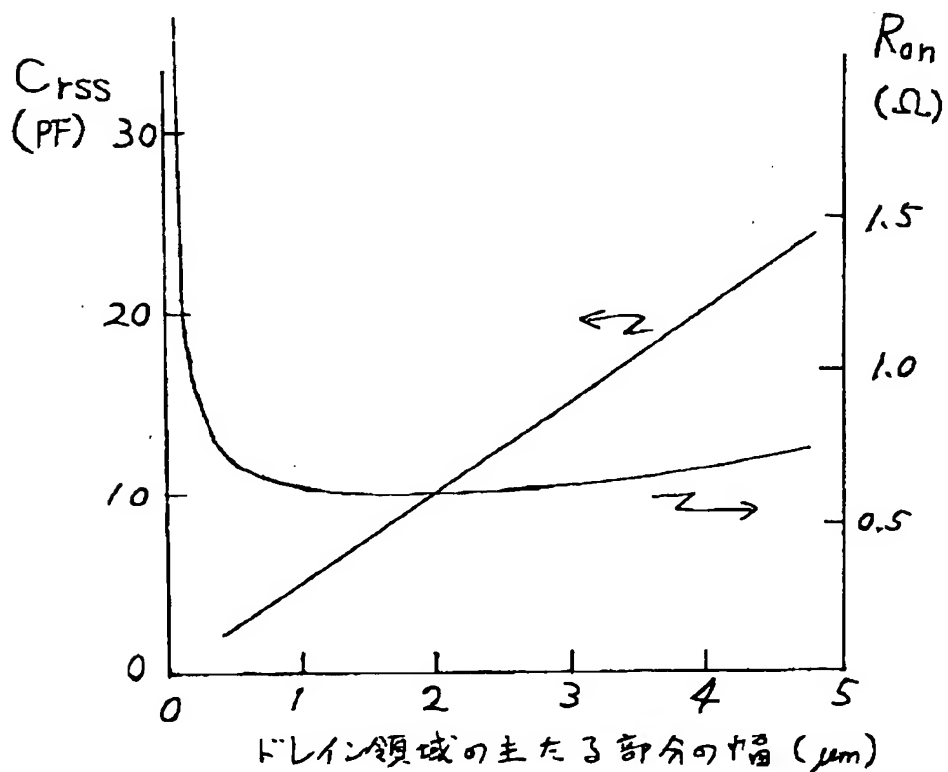
【図 1 0】



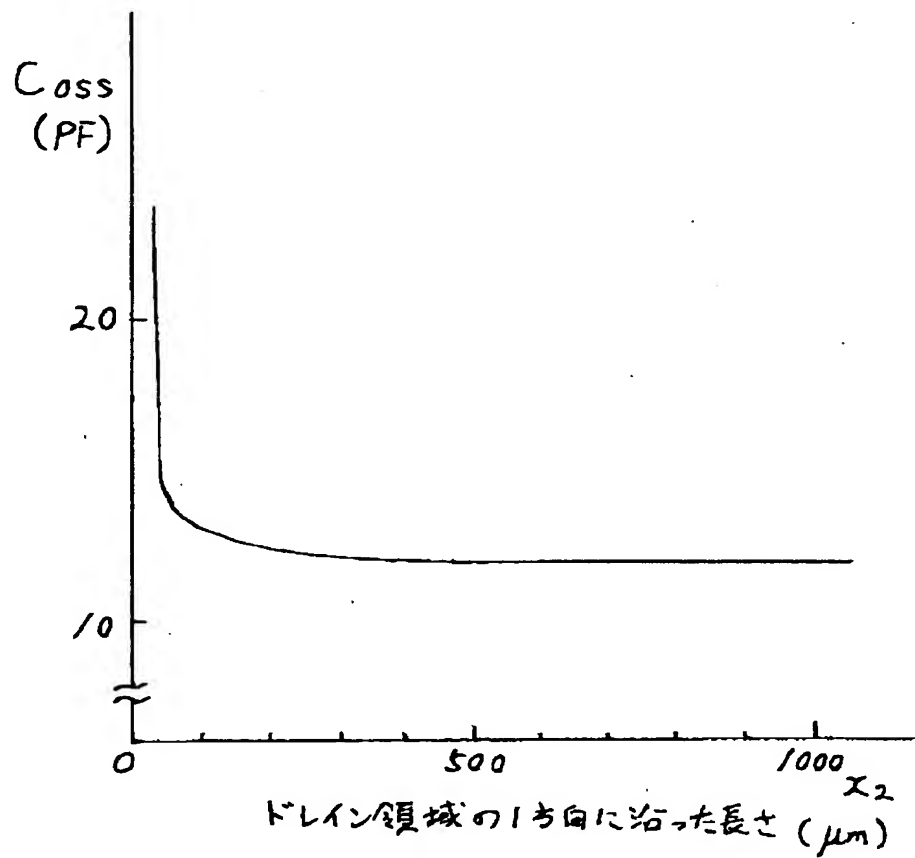
【図 11】



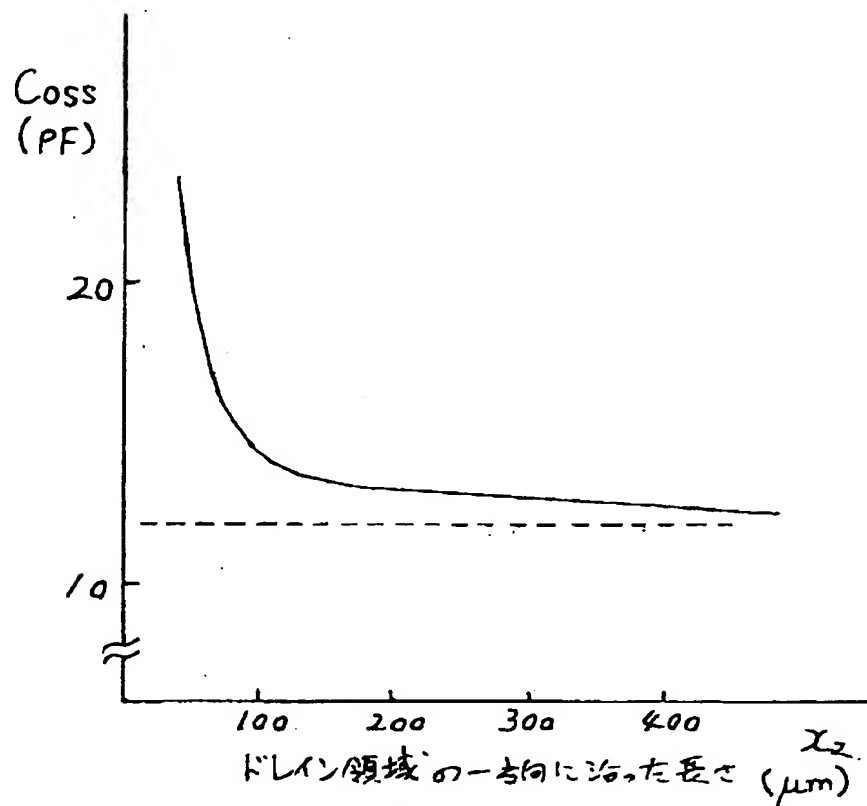
【図 12】



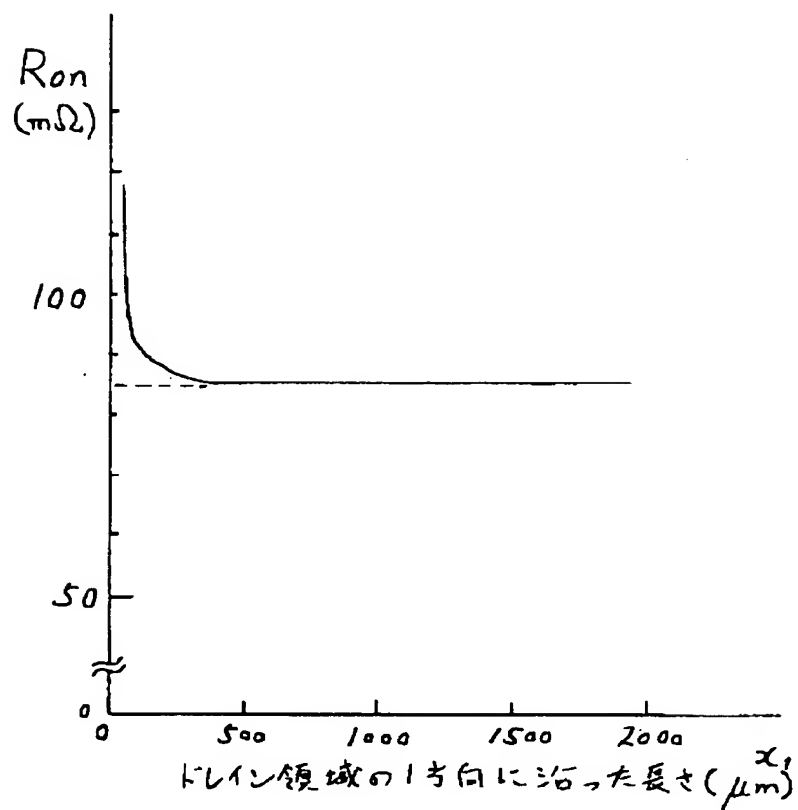
【図13】



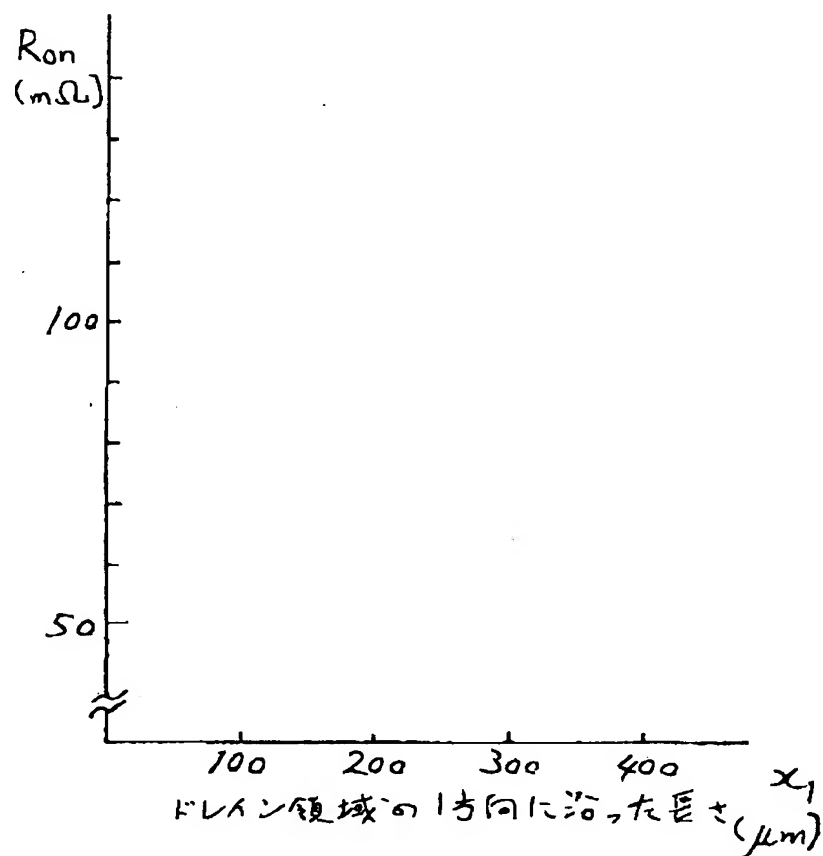
【図14】



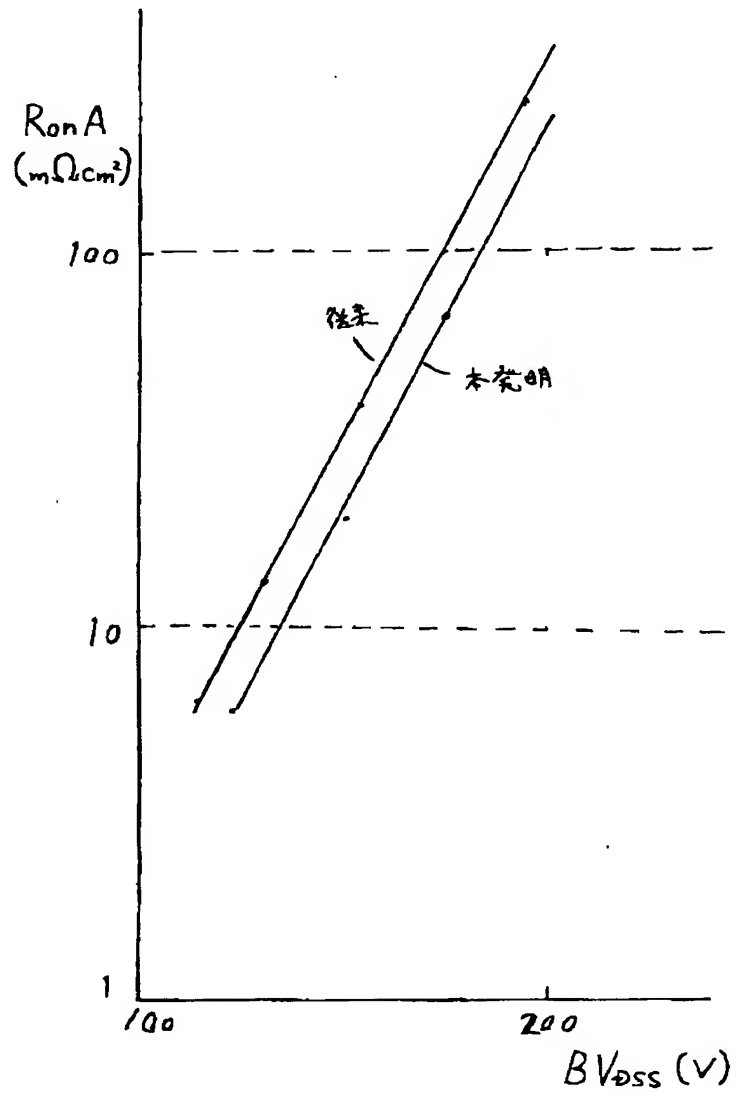
【図15】



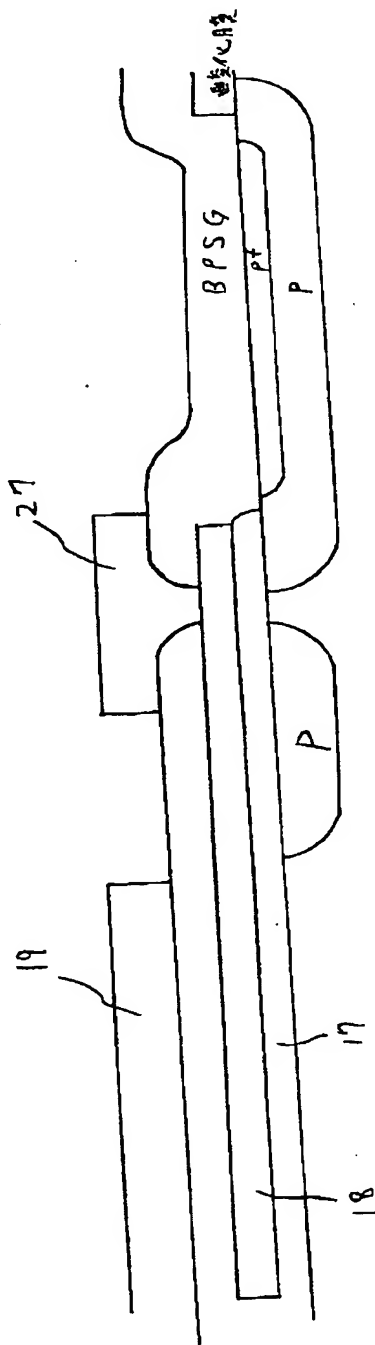
【図 16】



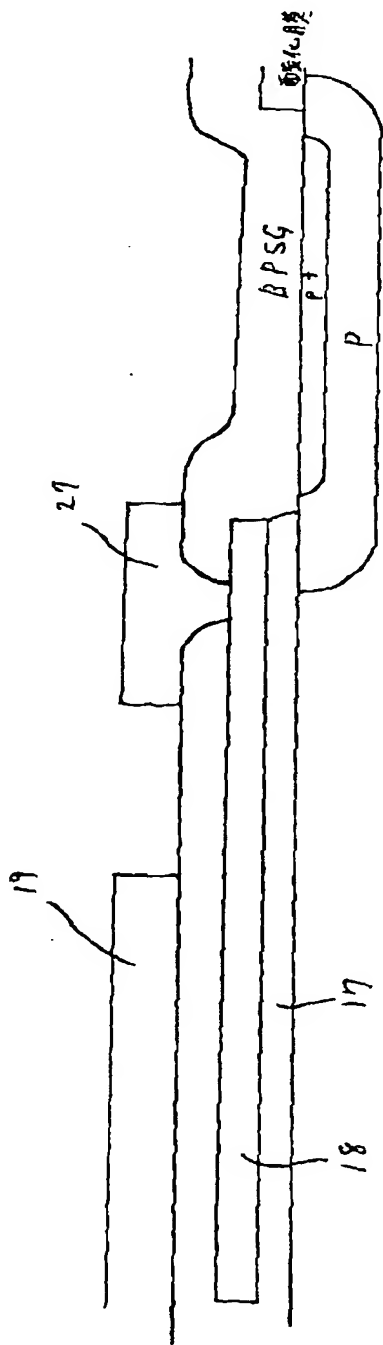
【図 17】



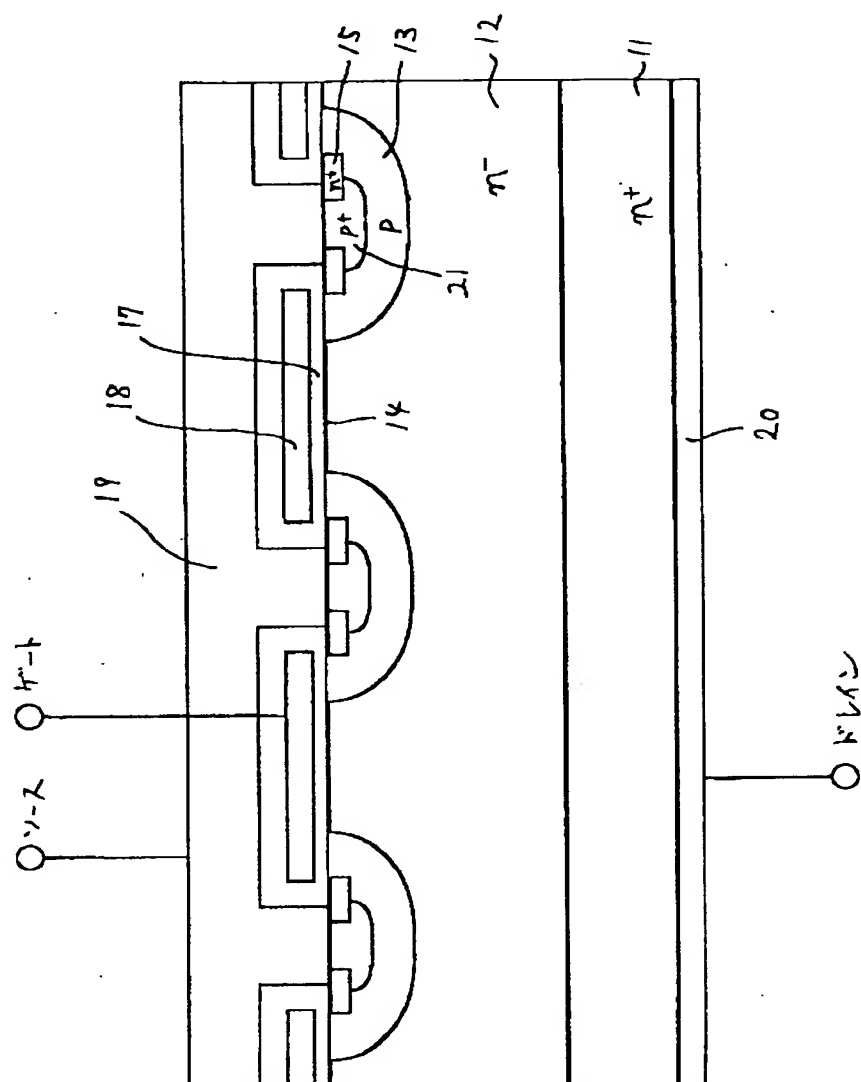
【図 18】



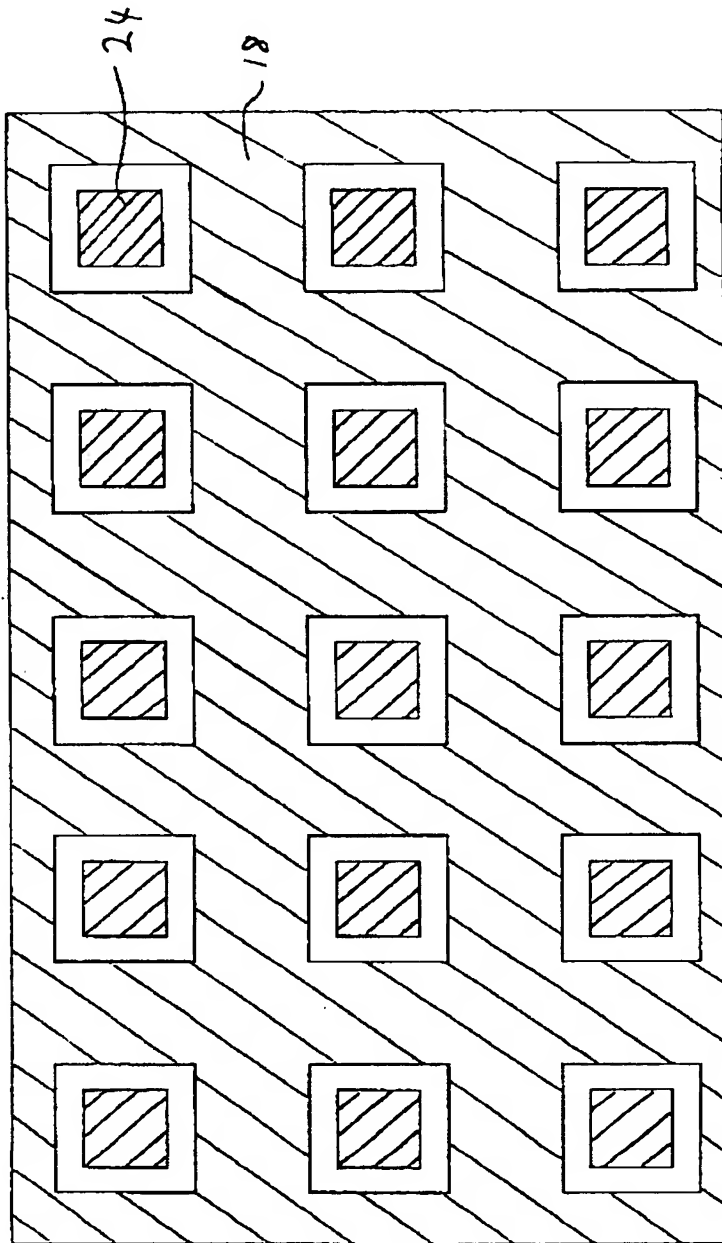
【図 1 9】



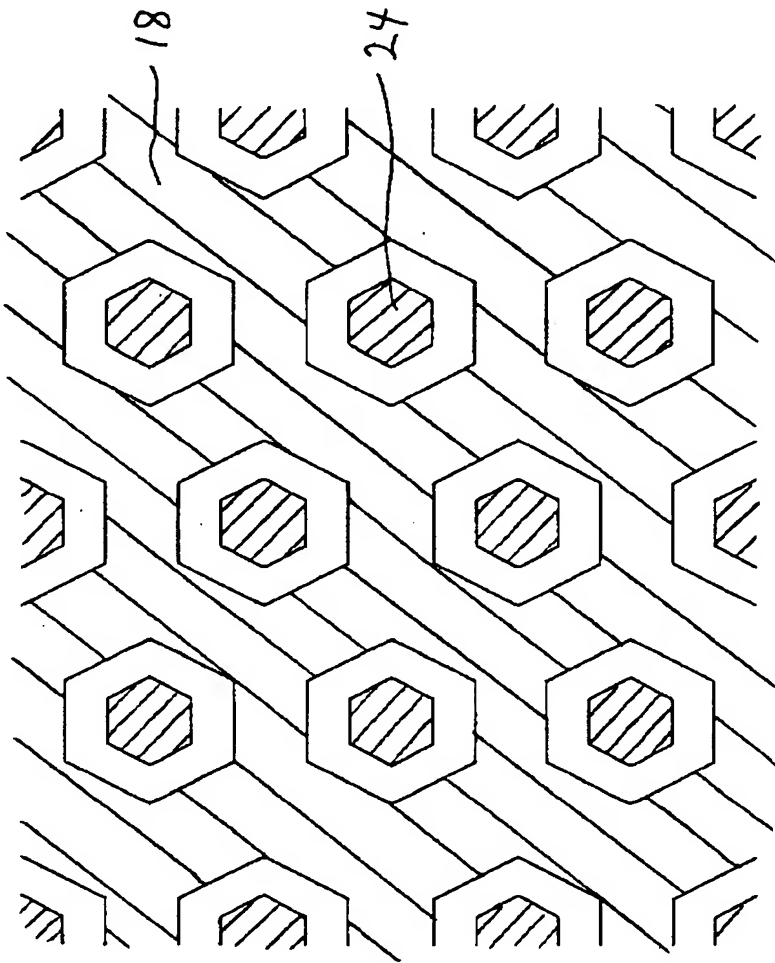
【図 20】



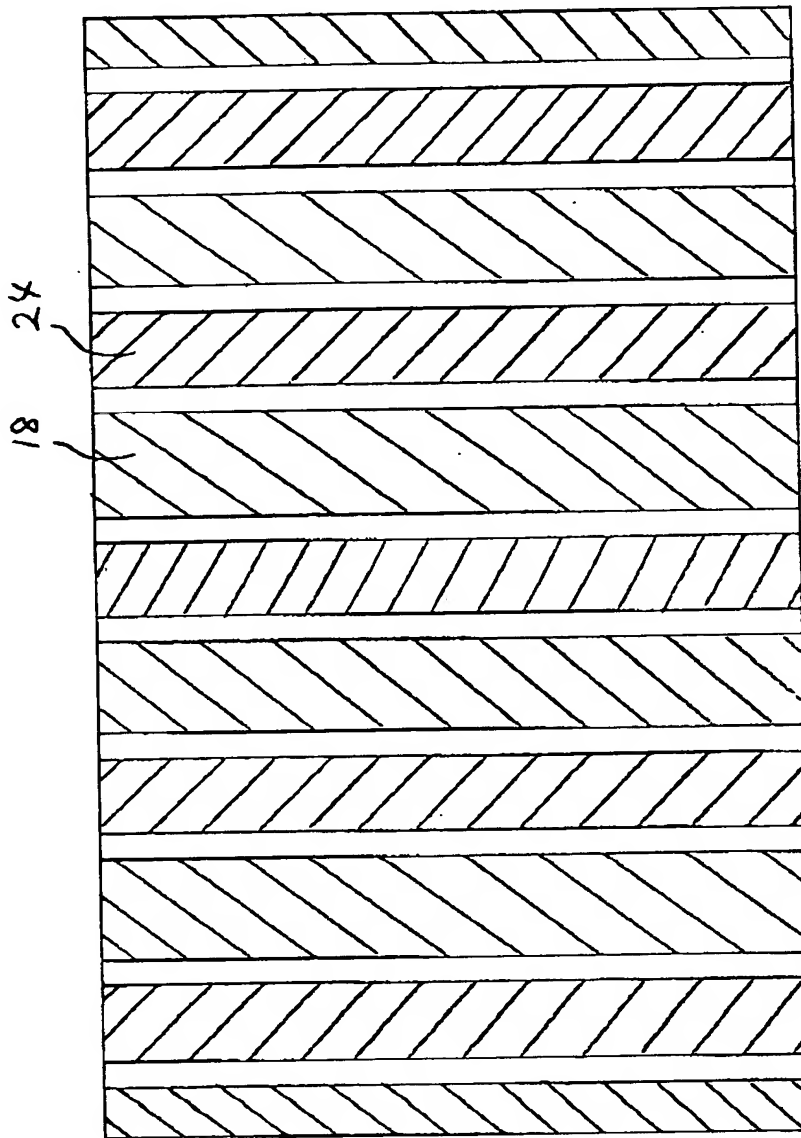
【図 2 1】



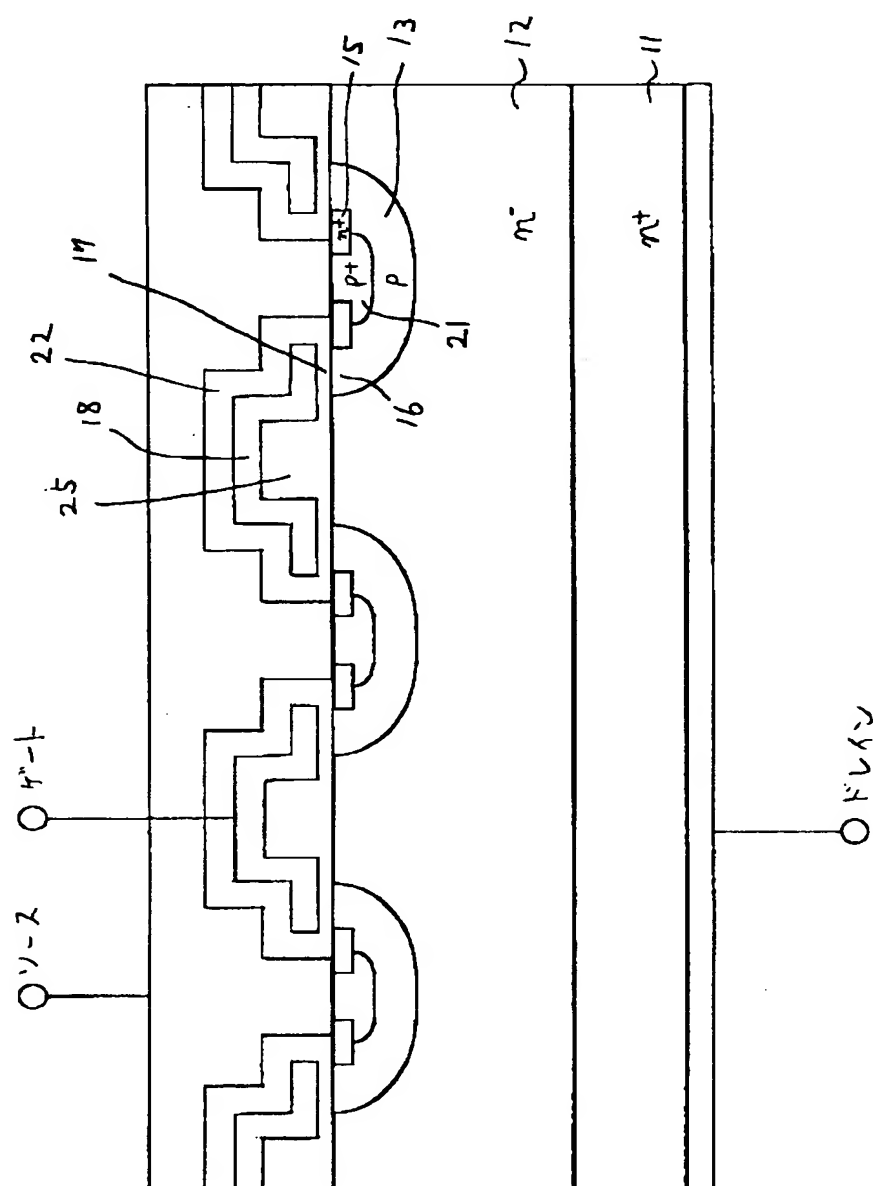
【図 2 2】



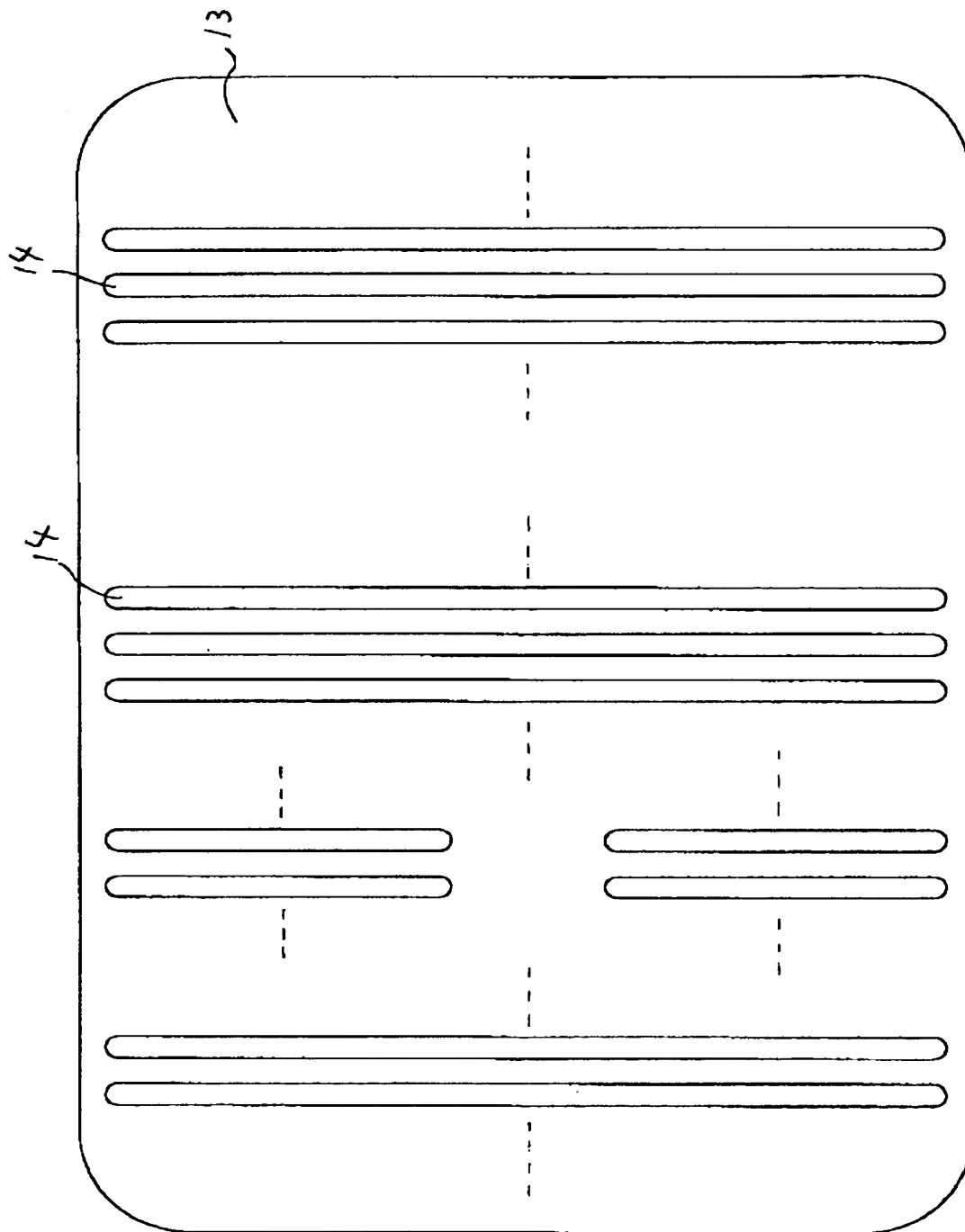
【図 2 3】



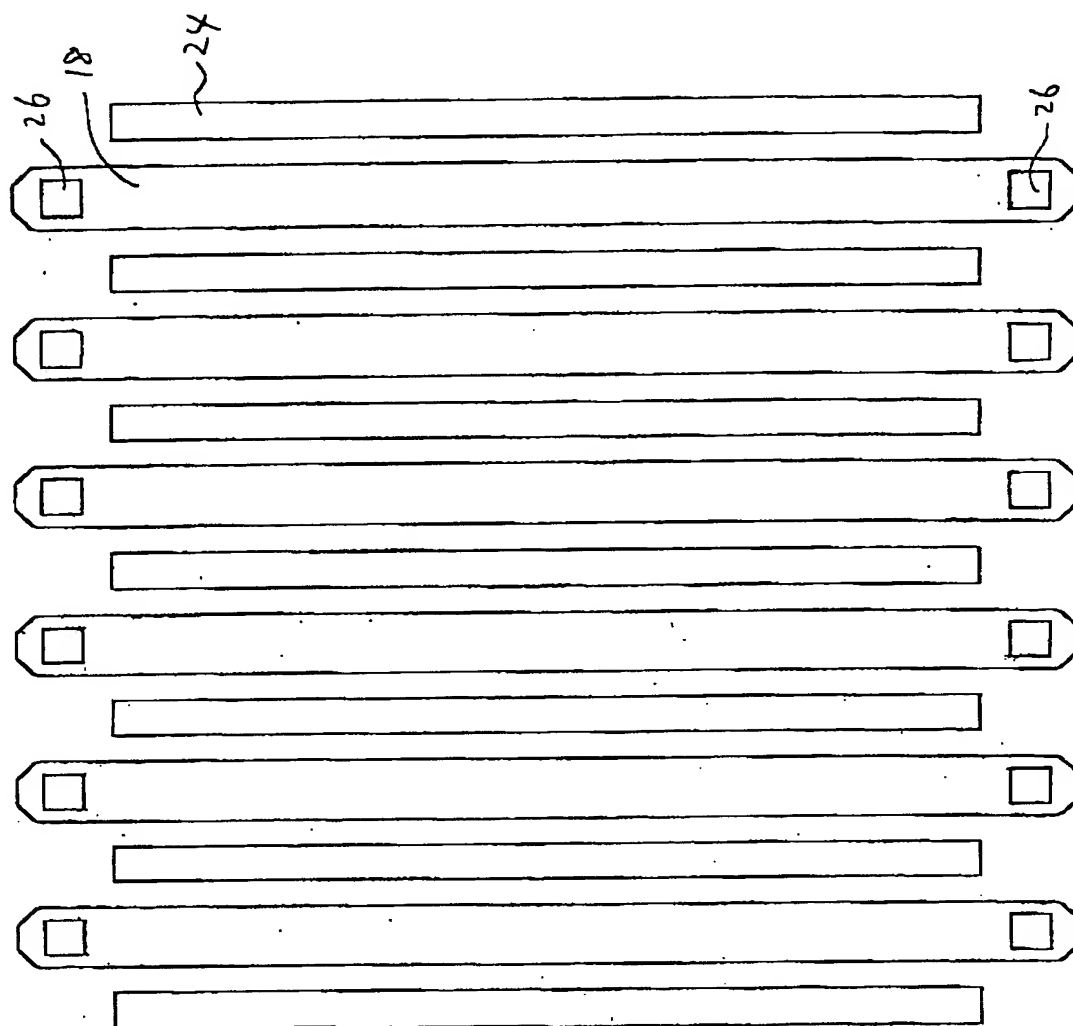
【图 24】



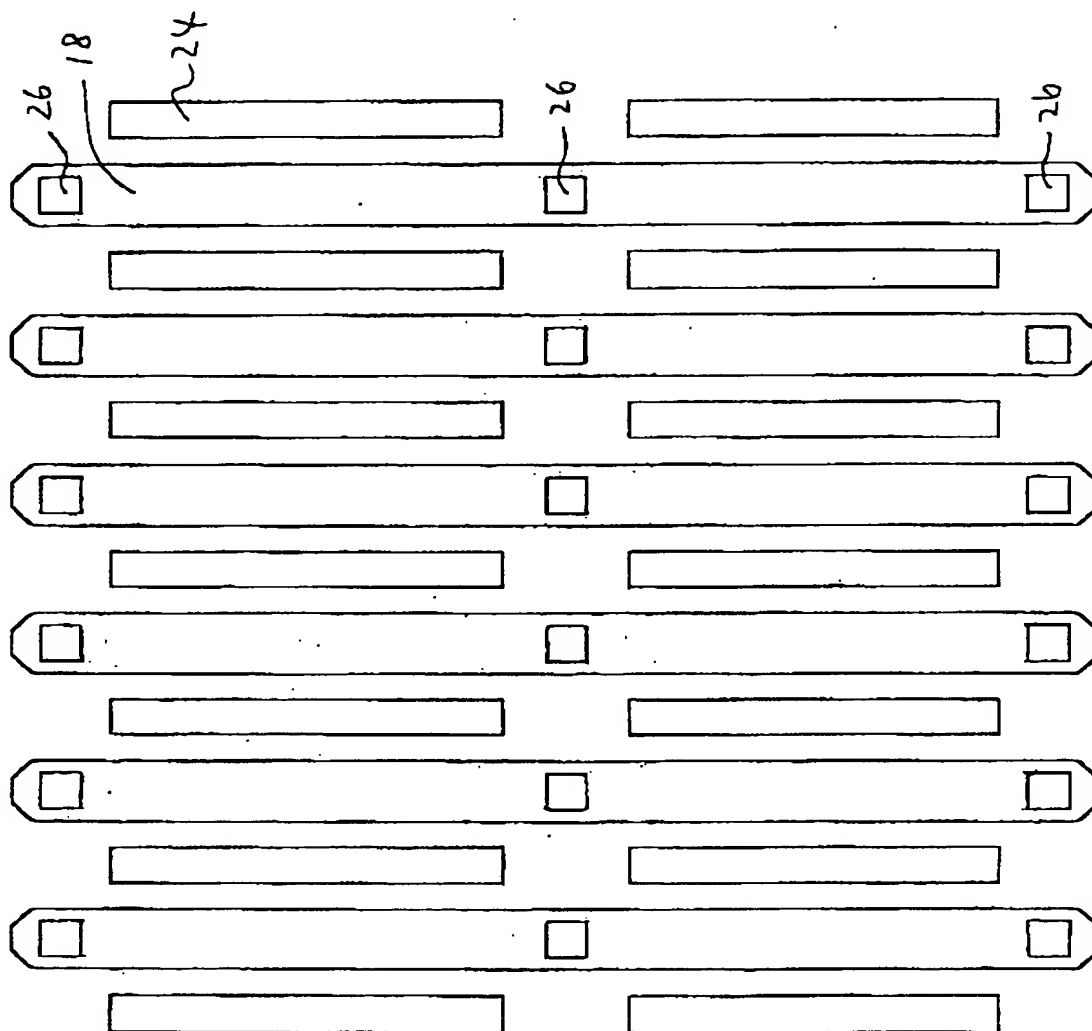
【図 2 5】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 M O S 型半導体の表面形状を最適化することで、低オン抵抗で高速スイッチングが可能な半導体装置を供給する。

【解決手段】 第 1 導電形低抵抗領域の上に配置され少なくとも第 1 導電形半導体領域を含む電圧支持層とその電圧支持層上に配置された第 2 導電形ウェルと半導体表面において第 2 導電形ウェルに囲まれて配置された第 1 導電形表面ドレイン領域を形成することで、第 2 導電形ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を低抵抗化しても高い耐圧が確保できるようになる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日 1 9 9 0 年 9 月 5 日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号

氏 名 富士電機株式会社